山梨大学工学部 機械システム工学科

平成14年度 卒業論文

神経回路のデジタル集積回路に関する 基礎設計

指導教官 加藤初弘 助教授

学生氏名 t99m113 森下裕之

題目 神経回路のデジタル集積回路に関する基礎設計

指導教官 加藤初弘 助教授

学生番号 t99m113 森下裕之

<u>背景</u>

近年、ニューラルネットワークと呼ばれる擬似神経回路は、新たなシステム制御方法と して注目を集めている。ニューラルネットの集積回路の手法は、アナログ方式とデジタル 方式に分けられる。低消費電力・省スペースが特徴である前者による研究が進んでいるが、 大規模 FPGA によって、任意の論理ゲートの実装できることが可能となったため、汎用性 の高い後者も注目を集めている。

<u>目的</u>

ニューロン細胞を数式化した形式ニューロンをアナログ方式とは異なるデジタル回路と して設計する。これは、FPAG への実装やカスタム設計の集積回路化を行う際の基礎とな る。また、従来のアナログ方式における消費電流をデジタル方式におけるそれと比較する ことにより、デジタル方式の優位性を検討する。

<u>手法</u>

MOS 技術を用いたゲートと呼ばれるデジタル回路素子を用いることを前提として、デジ タル方式のニューロン回路を設計する。また、変数を外部信号 ex と内部信号 N とするニュ ーラルネットワークの集積回路は、重み w や閾値 を記憶する回路と複数のニューロン回 路によって構成する。また、初期動作の都合から、内部信号の初期値を与えるブロックが 必要となる。また、デジタル加算器内のパスゲートを駆動するゲートによる電圧降下の改 善を行う。

また、また、アナログ方式との比較を行うためには、消費電流の導出が必要となる。回 路シュミレーターによって得られたニューロン回路における動作電流を用い、論理動作か らニューラルネットにおける消費電流を近似的に導出するシュミレーターを試作した。

<u>結果</u>

- ゲートを用いたデジタル方式によるニューロン回路の設計を行った。また、デジタル
 ニューロン回路を用いたニューラルネットの構成および動作確認をした。
- 信号の変化間隔を長くすることにより、デジタル方式の消費電流の低減を実現した。
- 従来のアナログ方式における消費電流との比較により、デジタル方式が優位となる領 域を考察した。

<u>目次</u>

概要
第1章 序論・・・・・・・・・・・・・・・・・・・・・・・・・・・・
第2章 ニューロンの仕組み・・・・・・・・・・・・・・・・・・・・・3
)ニューロンとは・・・・・・・・・・・・・・・・・・・・・・・・・・3
) ニューロンの興奮・・・・・・・・・・・・・・・・・・・・・・・・・・・4
) 形式ニューロン・・・・・・・・・・・・・・・・・・・・・・・・・・・・5
) ニューラルネットワーク(神経回路網)・・・・・・・・・・・・・・・・・
第3章 論理関数を用いた形式ニューロンの実現・・・・・・・・・・・8
) アナログとデジタルの違い・・・・・・・・・・・・・・・・・・・8
)ゲートと論理関数・・・・・・・・・・・・・・・・・・・・・・・・・8
)形式ニューロンのデジタル回路化・・・・・・・・・・・・・・・・・ 1 3
) ニューラルネットの形成とシステム変数・状態ベクトルの定義・・・・・18
第4章 MOSFET による回路要素の実現法・・・・・・・・・・・・・・22
)MOSFET の仕組み・・・・・・・・・・・・・・・・・・・・・・・・・・・・2 2
)各ゲートのデジタル回路化・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
)多入力 NOR 回路、フィードバック回路・・・・・・・・・・・・・・・3 1
第5章 デジタルニューロン回路の特性・・・・・・・・・・・・・・・・33
)解析精度・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・33
) 動作電流・消費電流の定義・・・・・・・・・・・・・・・・・・・・・・・・3 7
)活動状態の変化と動作電流の違い・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
第6章 アナログニューロン回路との比較・・・・・・・・・・・・・・・・44
)アナログ回路の実現および動作電流の導出・・・・・・・・・・・・・・4 4
)動作電流・消費電流の導出プログラム・・・・・・・・・・・・・・・・・・・・・4 6
)アナログとの比較・・・・・・・・・・・・・・・・・・・・・・・・・・・5 0
第7章 結論・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・56
付録 2 試作した回路シュミレータ・・・・・・・・・・・・・・・・・・・・・57
参考文献・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・

第1章 序論

生物の神経系を模倣したニューラルネットワークは、コンピュータープログラムとは異 なる、全体の運動を制御する情報処理の方法として注目されてきている[1]。これは、生物 の神経系が行っている情報処理を模倣したものである。ニューラルネットとコンピュータ ープログラムの大きな違いは、アルゴリズムの変更をソフトウェアで行うかハードウェア で行うかということである。また、ニューラルネットワークは、生物の中枢神経を模倣し たものであり、人工知能の実現に大きく影響を与える。また、人の心を科学する点からも ニューラルネットの研究は、一部の心理学者からも注目を受けている[1]。

ニューラルネットを実現した集積回路は小型機械の情報処理への応用が可能であると考 えられる。また、CPUと併用する場合、システム末端での分散処理にも応用することが 可能となると考えられる。これは、生物型機械の実現に大きく影響を与える制御システム といえるだろう。また、このような、生物を模倣する手法は、近年、実用化が始まってお り、視神経を模倣したセキュリティシステムの開発などに応用されている[2]。

従来、ニューロン回路は、低消費電力化・省スペース化を実現するため、アナログ方式 での研究が主流であった。近年の集積回路技術の発展により、大規模 FPGA が実現したた め、デジタル回路の実現が容易となった。

デジタル方式は、アナログ方式に比べ、汎用性に優れている。このため、ニューロン回 路の各パラメータの変更により、さまざまな動作を実現することが可能である。また、ア ナログ方式の場合、デジタル方式に比べ、回路を構成する MOSFET の特性のばらつきが動 作に大きく影響する。このため、アナログ方式の回路設計には、細心の注意を払わなくて はならない。一方、論理ゲートと呼ばれるデジタル回路素子によって構成されるデジタル 方式では、パラメーターのばらつきによる動作への影響は小さい。このことから、デジタ ル回路は実用性の高い回路といえる。

本研究の目的は、ニューラルネットワークのデシタル集積回路設計及びその特性の解析で ある。ニューロン回路は、デジタル加算器を用いることによって実現した。この時、シナ プスと呼ばれる、ニューロン同士の結合の強度を重みとする。入力信号とこの重みの積を ニューロンへの入力信号としている。また、閾値と入力信号との総和の関係は、デジタル 加算器の桁上げ機能を理由した。ニューラルネットワークは、すべてのニューロン回路同 士を結合させることによって実現する。この際、集積回路化した際の入力ピンの削減のた めに、重みと閾値の入力には、記憶素子 SRAM を用いた設計をする。回路を MOS トラン ジスタによって実現する際、EXOR ゲート付近で起こる、パスゲートを駆動するゲートに よって生じる電圧降下の改善を行う。また、内部信号の初期動作を実現するための回路も 増設する。

ニューロン回路における動作確認および電気特性の導出は、回路シュミレーターを用い る。また、このときに得られた動作電流を用いることにより、ニューラルネットにおける 電気特性をロジックプログラムによって試作する。また、従来のアナログ方式のニューラ ルネットワークとの比較は、デジタル方式と同様にプログラムを作成して行う。また、デ ジタル方式とアナログ方式の消費電流を比較した。

第二章では、ニューロン細胞と数式化された形式ニューロンの関係およびニューラルネットについて説明する。第三章では、論理ゲートを用いて、ニューラルネットを設計する。 第四章では、第三章で構成したニューラルネットを MOS トランジスタによって設計する。 第五章では、ニューロン数 3 のニューラルネットワークを用い、閾値の違いによる動作の 違いについて比較する。第六章では、従来のアナログ方式と消費電流を比較することによ り、デジタル方式の優位性を検討し、第七章では、本研究の結論と今後の検討課題につい て考える。 第2章 ニューロンの仕組み

)ニューロンとは[1]

多細胞動物では、外部の環境情報を受け取る器官、その情報を体に伝える器官、運動を 起こす器官、その運動をコントロールする器官など、細胞の分業が始まった。これが神経 系の始まりである。原始的な神経系は、神経細胞(ニューロン)のかたまりがはしご状に並ん だ神経節の連絡によって成り立っている。比較的下等な生物でもある昆虫でも 10 万から 100 万のニューロンがあるといわれている。

脊椎動物になってはじめて、中枢神経系(脳)と呼ばれる神経系が出現した。人の中枢神経 系は、大きく分けると脳と脊髄で成り立っている。脳は、2種類の主要な細胞によって成 立っている。一つはニューロンであり、もう一つはニューロン同士を結びつける働きをす るグリア(神経膠(にかわ)細胞)である。

ニューロンは、一般の細胞が備えるべきもの(細胞膜や核など)をすべて持っている。存在 している場所によってその形は多少違うが、ニューロンは一般的に図 2-1 である。核を持つ 細胞体と、そこから出る木の枝のような突起の部分(樹状突起)があり、この部分では、他の ニューロンから信号を受けるシナプスが存在する。また、細胞体から軸索と呼ばれるケー ブルが出ており、軸索末端から多数の他のニューロンへと信号を送る。



図 2-1 ニューロンの構造とシナプス

グリア細胞には、図 2-2 のように 3 種類が存在する。星状グリアは、血管から栄養素や 酸素をニューロンに供給すると同時に、有害な物質を通過させない役目を持つ。乏突起グ リアは後で述べる活動電位をすばやく伝達する役目を持つ。小グリアは白血球と同様に脳 内に侵入してきた異物(血液・病原体)を掃除する役目を持つ。以上のように、グリア細胞は、 ニューロンの活動をさまざまな面で補助している。



図 2-2 3 種類のグリア細胞

) ニューロンの興奮[[1],[3]]

ニューロンでは、神経膜によって分けられた、細胞外と細胞内でのイオンの濃度差によって、膜の電位が発生する。イオンには、ナトリウムイオン、カリウムイオンや塩化物イオンがあり、通常、カリウムイオンのみが膜を透過する。このカリウムイオンの動きが細胞内に電流を発生させる。このことは、細胞膜に電圧が加わっていることを意味する。

このとき、細胞内は負に帯電することになるので、細胞外へ透過しようとするカリウム イオンの運動を抑制し、平衡電位、つまり静止膜電位に達する。

ここで、図 2-3 のようにニューロンは瞬間的にナトリウムチャネルを開いたとき、ナトリ ウムイオンを透過する。このとき、ナトリウムイオンの流れによって、細胞内の電位はプ ラスとなり(脱分極)、図 2-4 のように、平衡電位をはるかに上回る、パルス上の活動電位が 発生する。この現象は興奮と呼ばれ、他の細胞にはない、ニューロン特有のものである。



図 2-3 チャンネルの開閉とイオンの流れ



図 2-4 活動電位と静止膜電位

しかし、ニューロンは細胞膜同士がつながっておらず、直接信号伝達するわけではない。 他の器官から送り出されてきた電気的信号がシナプスを介して、ニューロンへとつたわっ ていく。シナプスとは、ニューロン同士の接続部である。このとき、図 2-5 のように、シナ プス前ニューロンで発生した伝達物質がシナプス後ニューロンに放出され、膜電位に影響 を与える。これにより、興奮性シナプス後電位(EPSP:Excitatory Post-Synaptic Potential) が発生する。ニューロン内で各シナプスから発生した EPSP を重ね合わされ、それがニュ ーロンの閾値を越えたとき、ニューロンは、活動電位が発生する。逆に、閾値を超えない とき、活動電位が発生しない (興奮しない)。

)形式ニューロン

図 2-1 のようなニューロンを数学的モデルと置き換えられたものを形式ニューロンと呼び、図 2-5 であらわされる。これは、マサチューセッツ工科大学(MIT)のマッカローとピッ ツによって作成された[1]。ただし、入力信号を Ii(i = 1 ~ N)、ニューロン間の結合の強 さを表すパラメーターであるシナプスの重みを Wi(i = 1 ~ N)、出力信号をNとする。



図 2-5 形式ニューロン

ニューロンの興奮条件は、式 2-1 で表される。ただし、閾値は である。

$$\begin{bmatrix} \sum Wi \cdot Ii \ge \Theta \implies N = 1\\ \sum Wi \cdot Ii < \Theta \implies N = 0 \end{bmatrix} (2 - 1)$$

ここで、式(2-1)に時間変数 t を考慮すると、時間 t で入力信号を受けたニューロンは、 時間 t+ t で出力信号を発信する。

$$\begin{bmatrix} \sum Ii(t) \cdot Wi \ge \Theta \implies N(t + \Delta t) = 1\\ \sum Ii(t) \cdot Wi < \Theta \implies N(t + \Delta t) = 0 \end{bmatrix} (2 - 2)$$

また、時間変化を連続的に考えたときは、式(2-3)となる。

$$\frac{d}{dt} Ij \propto \{Ij - f\left(\sum Ii \cdot Wi\right)\}$$

$$\begin{bmatrix}\sum Ii \cdot Wi \ge \Theta \implies f\left(\sum Ii \cdot Wi\right) = 1\\ \sum Ii \cdot Wi < \Theta \implies f\left(\sum Ii \cdot Wi\right) = 0 \end{bmatrix} (2 - 3)$$

) ニューラルネットワーク(神経回路網)[1]

一般的に1つのニューロンは、たくさんのニューロンから入力を受けている(図 2-6A 収 束)。たとえば、小脳のプルキンエ細胞は、10万個のニューロンから入力を受けている。ま た、ニューロンの出力は、多数のニューロンの入力となる(図 2-6B 発散)。ニューロンを 複数組み合わせることによって、収束・発散を考慮したものが図 2-6C となる。このような 回路結合様式は、並列情報処理と呼ばれ、中枢神経系の大きな特徴である。これに対し、 直列処理(図 2-6D)は、コンピューターの中で行われている処理で、あり、ひとつの処理が 終了してから次の処理へと移る。信号の配線が複雑かつ多数である C のほうが一見効率が 悪そうに見える。しかし、どこかのニューロンが機能しない(死滅した)場合、D では、働き に大きな影響を与えるのに対し、C では、他のニューロンで補うことにより、運動には大し て影響しない。



図 2-6 基本的な神経回路網

並列信号処理は、以上のことより、損傷に対してきわめて強い。図 2-6C のようなニュー ロン結合様式をニューラルネットワークと呼ぶ。 第3章 論理関数を用いた形式ニューロンの実現

)アナログとデジタルの違い

回路の表現方法には、アナログとデジタルの二種類がある。アナログが連続的量で表現 されるのに対し、デジタルでは、数値(特に1または0)で表現される。例えば、デジタ ルの場合、曲線は、図3-1のようにドットという四角形の組み合わせによって表現され る。



図3-1 アナログとデジタルにおける曲線のあらわし方

1 と 0 の組み合わせによって表されたデジタル信号の利点は、コンピューターによって 容易に処理することができる。また、デジタル信号は 1 と 0 の二種類しか存在しないた め、連続的なアナログ信号に比べ、信号の判別が容易となる。

) ゲートと論理関数

デジタル回路はゲートと呼ばれる回路素子によって実現することができる。ゲートでは、 入力信号と出力信号を論理関数によって処理している。論理関数とは、入力と出力の関係 を表す関数のことである。ここでは、3 - でニューロンをデジタル化する際に必要とな るゲート、および半加算器・全加算器を以下の ~ に示す。)Inverter ゲート[4]

入力 A と出力 B の論理関数は、

$$B = \overline{A} \qquad (3 - 1)$$

と表す。この論理表、ゲートは図3-2である。



)NAND ゲート[4]

NAND ゲートは、入力A, Bの論理積 $A \times B$ を、反転させたものを出力信号 C とする。 入力A, Bに対する出力Cの論理関数は、

$$C = A \times B \tag{3-2}$$

となる。また、ゲートと論理表は図3-3となる。



)NOR ゲート[4]

NOR ゲートは、入力 A,B の論理和 A + Bを反転させたものを出力信号 C とする。入力 A,Bに対する出力Cの論理関数は、

 $C = \overline{A + B}$ (3-3)

となる。また、論理表、ゲートは、図3-4となる。

А	В	A + B	С	
0	0	0	1	\square
0	1	1	0	
1	0	1	0	
1	1	1	0	

図 3 - 4 NOR 回路の定義

)EXOR ゲート[4]

二進数の加算機を実現させるときの基礎として、排他的論理と呼ばれるものがある。入力 A,B が異なるとき、排他的論理和 C が 1 となる論理関数は、

 $C = A \times \overline{B} + \overline{A} \times B$ $= A \oplus B \qquad (3 - 4)$

である。また、論理表とゲートは、図3-5となる。

А	В	С	\mathbb{A}
0	0	0	
0	1	1	
1	0	1	
1	1	0	

図 3 - 5 論理表と EXOR ゲート

) 半加算器[5]

半加算器とは、一桁の二進数の加算を行う回路である。二進数 A,B において、加算結果 S と桁上げ C の関係は表 3 - 1 となる。

Α	В	S	С
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

表3-1 二進数 A,B の和 S と桁上げ C の関係

この結果から、和Sと桁上げCは、入力A,Bを用いると、式(3-5)の論理関数で表すことができる。

$$S = A \oplus B$$

$$C = A \cdot B = \overline{(\overline{A \cdot B})}$$
(3-5)

よって、図 3 - 6 のように、和 S は EXOR ゲート、桁上げ C は NAND ゲートと I n v e r t e r ゲートによって、入力 A,B の半加算器を実現することができる。



図 3 - 6 半加算器

) 全加算器[5]

二桁の二進数の加算を考えたとき、二桁目の加算には、一桁目の桁上げが影響してくる。 一桁目でのけた上げを C'とすれば、二桁目の和 S と桁上げ C の関係は、表 3 - 2 となる。

A B C' S C

0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

表3-2 二進数 A,B、桁上げ C'の和 S と桁上げ C

よって、入力A、BとS、C、C'の関係は以下の論理関数で表すことができる。

 $S = A \oplus B \oplus C'$ $C = (A \oplus B)C' + AB = \overline{(A \oplus B)C'AB}$ (3 - 6)

また、この論理関数を反映させた加算器は図3-7となる。これを全加算器と呼ぶ。



図3-7 全加算機の回路図

)形式ニューロンのデジタル回路化

式(2-1)によって、形式ニューロンの機能は数式化された。ここで、シナプスの機能と ニューロンの機能に分けると、式(2-1)は、式(3-7,8)となる。ただし、A(i)(i=1~N) は、入力信号の重みの積とする。

$$A(i) = I(i) \cdot W(i)$$
 (3 - 7)

$$\begin{bmatrix} \sum A(i) \ge \Theta \implies N = 1 \\ \sum A(i) < \Theta \implies N = 0 \end{bmatrix}$$
 (3 - 8)

また、式(3-7,8)を実現されるデジタル回路を、

とする。また、これらの回路は、以下のように実現する。

[S回路]

入力信号を1ビット、重みを4ビットとして考える。ビットとは、1もしくは0の信号 の本数である。式(3-7)を論理関数で表すと、

$$A(i) = I \cdot W(i)$$

= $\overline{(\overline{I \cdot W(i)})}$ (3 - 9)

となる。ここでi(1~4)はビット数、I,Wはそれぞれ入力信号、重みである。式 (3-7)より、S回路はNANDゲートとInverterゲートの二つで実現できる。しかし、ニ ューロンを集積回路化する際、重みW(i)は、SRAMと呼ばれるメモリー素子を介してS回 路へと入力する(図 3-13 参照)。このとき、W(i)は、SRAMの特性上、 $\overline{W(i)}$ となってS回路 へと入力されるため、このことを考慮すると、S回路の論理関数を式(3-10)とする。

$$A(i) = \overline{I} + \overline{Wi} \qquad (3 - 1 \ 0)$$

式(3-10)は、Inverter ゲートと NOR ゲートを用いることで実現することが可能となる。 また、式(3-10)の導出には、式(3-11)のド・モルガンの公式を用いた。

$$A \cdot B = \overline{A} + \overline{B} \qquad (3 - 1 \ 1)$$

よって、S回路は、図 3-8とする。ただし、I は入力信号、*wi* (i=1~4)は重み、Ai(i=1~4) は入力信号と重みの積とする。



図 3-8 S回路

[N回路]

N回路では、信号の総和と閾値の大小判別を行う。ここで、S回路の出力結果が4ビットのため、N回路で行われる加算は4ビットとなる。4ビット(4桁)の加算器は、1桁目の加算を半加算器、2~4桁目の加算に全加算器を用いることにより、図3-9にように組み合わせることによって実現することができる。ただし、ai,bi(i=1~4)は入力信号、si(i=1~4)は和、桁上げはCとする。



S回路の出力結果の総和をSとしたとき、式(3-8)より、N回路の出力が1となるためには、

 $S \ge (3 - 12)$

となる。式(3-12)の両辺に + 1を加えると、

 $S + + + 1 \ge + + + + 1$ (3 - 1 3)

となる。このとき、S+ + 1にオーバーフローが生じる。オーバーフローとは、最上位の加算において桁上げが起こることである。よって、S+ + 1がオーバーフローするとき、総和Sは、閾値 以上といえる。

例えば、S = 1 1 0 0、 = 1 1 1 0 のとき、 $S + \Theta + 1 = 1100 + 0001 + 0001 = 1110$ (3 - 1 4)

となり、オーバーフローは生じていない。これは、S が より小さいことを意味している。 また、 = 1010のとき、

 $S + \overline{\Theta} + 1 = 1100 + 0101 + 0001 = 10010$ (3 - 1 5)

となる。4 桁目の加算によって、桁上げが起こり、5 桁目が現れる(オーバーフロー)。こ

れは、Sが を超えていることを表している。

今、N回路への入力信号がN本のとき、S+ + 1は、

$$S + \overline{\Theta} + 1 = \sum_{i=1}^{N} A(i) + \overline{\Theta} + 1 \qquad (3 - 1 6)$$

となる。ここで、式(3-16)の加算順序を換えることにより、式(3-17)となる。

$$S + \overline{\Theta} + 1 = (\overline{\Theta} + 1) + \sum_{i=1}^{N} A(i) = (\overline{\Theta} + 1) + A(1) + A(2) + \cdots + A(N)$$
(3 - 17)

式(3-17)は、

$$(\overline{\Theta}+1) + A(1)\mathfrak{N}^{*}\mathfrak{T} - \mathfrak{N}^{-} \mathcal{T} \Box - \Rightarrow \overline{\Theta} + 1 \leq A(1) \Rightarrow \Theta \leq \sum_{i=1}^{N} A(i)$$

$$(\overline{\Theta}+1) + A(1) + A(2)\mathfrak{N}^{*}\mathfrak{T} - \mathfrak{N}^{-} \mathcal{T} \Box - \Rightarrow \overline{\Theta} + 1 \leq A(1) + A(2) \Rightarrow \Theta \leq \sum_{i=1}^{N} A(i)$$

$$\sim$$

$$(\overline{\Theta}+1) + A(1) + A(2) + \cdot \cdot A(N)\mathfrak{N}^{*}\mathfrak{T} - \mathfrak{N}^{-} \mathcal{T} \Box - \Rightarrow \overline{\Theta} + 1 \leq A(1) + A(2) + \cdot \cdot A(N) \Rightarrow \Theta \leq \sum_{i=1}^{N} A(i)$$

を意味する。これは、式(3-17)において、左から右へと加算していくとき、各加算に おけるオーバーフローを調べることによって、S+ + 1のオーバーフローを調べることが 可能となる。

ここで各加算におけるオーバーフロー信号 C(i)(i=1~N)とする。 C(i)はオーバーフローが 生じたときに1となる信号である。C(i)とS+ + 1のオーバーフロー信号Cの関係は、 式(3-18)の論理式となる。

 $C = C(1) + C(2) + \cdots + C(N) = (\overline{C(1)} + C(2) + \cdots + C(N))$ (3 - 18)

式(3-18)より、各加算器のオーバーフロー信号C(i)は、NOR ゲートと Inverter ゲートによって実現することが可能となる。

以上より、入力信号が N 本のときのN回路は、以上のことより、図 3-10 となる。 A(i)(I=1~N)は入力信号、N は出力信号とし、A は総和とする。また、 は閾値とし、 b()+1=⁻⁻+1とする。



図 3-10 N回路

)ニューラルネットの形成とシステム変数・状態ベクトルの定義

2 - で述べたように、ニューロンは、他のニューロンとネットワークを構成している。ここでは、N 個のニューロンによるニューラルネットを形成するとき、1 本の外部信号 ex と他のニューロンの出力信号 N(i)(i=1~N)を、各ニューロンへの入力信号とする。 また、N(i)の重みは W(i,j)(i:i 番目のニューロン j:j 番目の入力信号)、外部信号 ex の重みを ew(i)(i:i 番目のニューロン)、閾値は、 (i)(i:i 番目のニューロン)と する。

N個のニューロンによって構成されるニューラルネットは図 3-11 とする。ただし、b(*)

ニューラルネットには、状態を表す状態ベクトルと状態を決定するシステム変数が存在する。前者には、ex(i),N(i)があたり、後者にはW(I,j),ew(i), (i)にあたる。状態ベクトルとシステム変数を用いると、式(2-2)は式(3-19)へと変換される。

$$\vec{ex} = \begin{pmatrix} ex(1) \\ M \\ ex(N) \end{pmatrix}, \vec{N} = \begin{pmatrix} N(1) \\ M \\ N(N) \end{pmatrix}$$
$$\vec{w} = \begin{pmatrix} w(1,1) & K & w(1,N) \\ M & O & M \\ w(N,1) & \Lambda & w(N,N) \end{pmatrix}, \vec{ew} = \begin{pmatrix} ew(1) \\ M \\ ew(N) \end{pmatrix}, \vec{\Theta} = \begin{pmatrix} \Theta(1) \\ M \\ \Theta(N) \end{pmatrix}$$
$$\vec{Y} = \vec{ex} \cdot \vec{ew} + \vec{w} \cdot \vec{N}(t)$$
$$Y(i) \ge \Theta(i) \Rightarrow N(i)(t+1) = 1 \qquad (3 - 19)$$
$$Y(i) < \Theta(i) \Rightarrow N(i)(t+1) = 0$$
$$\vec{Et} : U,$$
$$\vec{ex} \cdot \vec{ew} = \begin{pmatrix} ex(1) \cdot ew(1) \\ M \\ ex(N) \cdot ew(N) \end{pmatrix}$$

また、システム変数・状態ベクトルを用いることにより、図 3-11 は、図 3-12 へとボッ クス化することが可能となる。ただし、ex[N] = ex, w[N,N] = wとする。また、+1は、 b()+1 をあらわす。



図 3-11 ニューラルネットの形成



図 3-12 ニューラルネットのボックス化

また、ニューラルネットを集積回路化する際、システム変数に対する入力ピンは、膨大 な数となる。このため、記憶素子 SRAM に書き込んでから、一斉に回路へと入力を行うこ ととする。この時、書き込むメモリーを指定するためにデコード信号と呼ばれるアドレス 信号を用いる[5]。よって、ニューラルネットワーク集積回路のフロアープランは図 3-13 と なる。ただし、N はニューロン数、ex(i)(i=1~N)は外部信号、N(i)(i=1~N)は内部信号、 ss(i)(i=1~N)は内部信号の初期値とする。また、w は内部信号の重み、ew は外部信号の重 み、 は閾値とする。



図 3-13 フロアープラン

第4章 MOSFET による回路要素の実現法

) MOSFET の仕組み[[4],[6]]

ソース(S)、ドレイン(D)、ゲート(G)、バックゲート(B)と呼ばれる4つの端子によって制 御される回路素子であり、NMOS と PMOS に分けられる。ここでは、NMOS の構成・動 作原理について説明する。

弱い p 型シリコン基板に n 型領域のソース、ドレインを構成する。また、絶縁層(SiO₂) を挟んで、その上にポリシリコンを付着させてゲートを形成するため、ゲート(Metal)・絶 縁体(Oxide)・半導体基板(Semiconductor)の頭文字をとり、MOS と呼ばれる(図 4 - 1)。



図 4 - 1 MOSFET の構成

NMOS の場合、電子が過飽和状態となった n 型シリコンで作られたのソースとドレイン の間は、電子が不足している p 型シリコンのため、電子はソース・ドレイン間を通過する ことはできない。しかし、ゲートと基板間に電圧差を与えることにより、電子は p 型シリ コンを通過することができる。ゲート側の電位を高くしたとき、図 4-2 のようにソースに発 生した電子が p 型シリコンへと流れ込んでいく。このとき、電子が不足した状態の p 型シ リコンは部分的に電子が過飽和の状態となる n 型シリコンへと変化する。この変化を n チ ャネルと呼ぶ。 n チャネルによって、基板の一部がすべて n 型シリコンとなり、ソース・ ドレイン間で電子のやり取りが可能となる。このとき、NMOS のゲートが開く、もしくは 作動するという。



図 4 - 2 n チャネルの発生

PMOS も NMOS と同様にゲートとソース間に電圧差を与えることによって、p チャネル を形成させ、ゲートを作動させる。

NMOS、PMOS の特性は図 4-3a,b,c,d に示す。ただし、Vds、Vgs はそれぞれ、ドレイン(d)・ソース(s)間、ゲート(g)・ソース(s)間の電位差であり、Ids は、ドレイン・ソース間に流れる電流をあらわしている。

また、NMOS、PMOS は以後、図 4-4a,b のように表記する。ただし、図 4-4a の B は、 バックゲートを意味し、Vbg 間の電位差によってゲートの開閉を決定する。



図 4-3a NMOS における Vgs と Ids の関係



図 4-3b NMOS における Vds と Ids の関係



図 4-3c PMOS における Vgs と Ids の関係



図 4-3d PMOS における Vds と Ids の関係



図 4-4a 4 端子 MOS



図 4-4b 3 端子 MOS

) 各ゲートのデジタル回路化

3- で示した、ニューロン回路を実現するために用いたゲートをここでは、MOSFET を 用いて実現する方法を示す。ただし、電源電圧Vddは3V、GNDは0Vとし、デジタル 信号(0,1)は、(H(high),L(low))と表記し、それぞれ(0V,3V)とする。

a) Inverter回路[5]

入力信号を反転させる Inverter ゲートは、PMOS,NMOS を図 4-5a のように構成するこ とで実現することができる。ただし、A は入力信号、B は出力信号とする。また、入力信号 A に対する出力 B は、図 4-5b である。



図 4 - 5 a Inverter 回路



図 4-5b Inverter 回路における入力 A と出力 B の関係

Inverter 回路では、入力 A が 0V のとき、ゲートとドレインの電圧差が 3V の PMOS の ゲートは開くのに対し、電圧差 0V の NMOS のゲートは閉じた状態である。このため、出 力 B は、3V となる。入力 A が上昇していくにつれ、NMOS で電圧差が生じ、徐々に出力 B が低下し始める。このとき、NMOS のゲートは徐々に開き始め、PMOS のゲートは閉じ 始める。このため、出力 B は 0V へと近づく。 b) NAND 回路[5]

入力信号 A,B の論理積を取り、それを反転させたものを出力 C とする NAND ゲートの 回路図は、図 4-6a となる。また、入力 A を 0V,3V にそれぞれ固定したときの入力 B と出 力 C の関係は、図 4-6b となる。



図 4-6a NAND 回路図



図 4-6b NAND 回路における入力 A,B と出力 C の関係

NAND 回路では、NMOS が直列につながっている。これは、NMOS のゲートが 2 つと も開いたときのみ、0V を出力する。そのため、A,B ともに 3V のとき、C は 0V となる。 c) NOR 回路[5]

入力 A,B の論理和をとり、それを反転させたものが出力 C とする NOR ゲートの回路 図は、図 4-7a である。また、入力 A を 0V,3V にそれぞれ固定したときの入力 B と出力 C の関係は、図 4-7b となる。



図 4-7a NOR 回路図



図 4-7b NOR 回路における入力 A,B と出力 C の関係

NAND 回路では、NMOS が直列につながっていたのに対し、NOR 回路では、PMOS が 直列につながっている。そのため、A,B ともに 0V のとき、C は 3V となる。 d) EXOR 回路

排他的論理和によって、入力 A,B が異なるときのみ、出力 C が 1 となる EXOR ゲートの 回路図は、図 4-8 となる[5]。



図 4-8 従来の EXOR 回路

EXOR 回路では、中央の NMOS と PMOS のゲート(パスゲート)が開く時(A が 0V)、入 力 B がそのまま出力 C となる。対し、ゲートが閉じた時(A が 3V)、入力 B を反転させたも のが出力 C としている。

しかし、図 4-8 の EXOR 回路では、直列につないだとき、パスゲート付近で出力が不安 定となりやすい。これは、EXOR 回路の出力信号は、Vdd,GND からのものではなく、A,B からとなるためである。この改善方法として考えられるのは二通りである。一つは、図 4-9a のように NAND、Inverter ゲートを組み合わせることによって、EXOR ゲートを実現 することである。もう一つは、図 4-9b のように Inverter ゲートを直列につなぐ方法である。 この手法により、EXOR ゲートの出力信号は、A,B からではなく、Vdd,GND からとなり、 安定した出力信号を得ることができる。今回は、構成 MOS 数を少ない(図 4-9a では 16 個、 図 4-9b では 10 個)後者(図 4-9b)の手法を用いる。よって、EXOR 回路図は、図 4-9b とす る。また、入力 A を 0V,3V にそれぞれ固定したときの入力 B と出力 C の関係は、図 4-9c となる。



図 4-9a NAND, Inverter ゲートを用いた EXOR 回路設計案



図 4-9b Inverter ゲートを用いた EXOR 回路設計案



図 4-9c EXOR 回路(図 4-9b)における入力 A,B と出力 C の関係

)多入力 NOR 回路、フィードバック回路

図 3-10 で用いている NOR ゲートの回路図は、図 4-10 となる。ただし、Ai(i=1~N)は入 力信号とし、出力信号を C とする。入力 Ai がすべて 0V となったときだけ、すべての PMOS のゲートが開き、3V を出力する。



図 4-10 多入力 NOR 回路

図 3-11 を回路化した場合、入力信号 N(i)の初期値(t=0)が不明確となる。このため、初期 値を与える F 回路は、図 4-11 とする。ただし、ss は初期値、f はニューロンの出力信号、I は F 回路の出力信号とし、cn は制御信号である。F 回路では、cn によって、ss,f を選択し て、出力信号 I とする。cn が 3V のとき、初期値 ss をニューロンの入力信号となり、cn が 0V が出力されたとき、ニューロンの出力信号 f を入力信号する。また、パスゲートによっ て、ニューロンへの入力信号を選択しているため、図 4-9 と同様に、Inverter 回路を直列 につなげている。



図 4-11 フィードバック回路

また、フィードバック回路、NOR 回路の設置場所は、図 3-11 は、図 4-12 のように各ニ ューロンの出力信号の後とする。ただし、ex(i)(i=1~N)は外部信号、N(i)(i=1~N)は内部信号 とする。また、図の簡素化のため、Vdd,GND,ss,w、 Θ +1 は省略する。制御信号 cn は、 すべての外部信号が 0V のときのみ、3V となる。よって、すべての外部信号が 0 のとき、 入力信号は 0 となり、それ以外の場合では入力信号は、各ニューロンの出力信号となる。



図 4-12 NOR 回路とフィードバック回路の増設箇所

第5章 デジタルニューロン回路の特性

)解析精度

シュミレーションを行う際、重要となってくるのは、精度である。ここでは、回路を充 放電電荷の計測によって、理論値とどれほどの誤差があるかを検証する。ここで用いる解 析プログラムはB2SPICE(米国Beige Bag Software製)とOrC ad社製(旧 Microsiw 社)のPSPICE(日本Cadence Design Syst ems製)について行う。

用いる回路は、NAND 回路とInverter回路の組み合わせであり、電流供給源は NAND 回路とする。また、全体の回路図としては、図 5-1 とする。ここで、Vdd は 3V、 GND は 0V、H=3V とし、Inputを 0V から 3V へと変化させる。



図 5-1 NAND-Inverter 回路図

これを MOSFET で表すと図 5-2 となる。ここで電荷流動範囲は、NAND ゲート上の Vdd から流れる電流の経路をあらわしている。



図 5-2 NAND-Inverter 回路の MOSFET 化

このとき、Input電圧をLからHへと変化させたとき、各部分での電圧は図 5-3のよ

うに変化する。



図 5-3 回路中の各 MOSFET での電圧変化

上記の事から、Inputを変化させることにより、ゲートと基板の間に電位差が生じるため、電荷が充電される。そのため、電荷を補給するため、Vddからの電流(電荷)が供給される。また、等電位になることにより充電されていた電荷は、放電されていく。このため、NAND-Inverter回路では、図5-4の充放電が行われると考えられる。



図 5-4 NAND-Inverter 回路中の充放電の様子

入力電圧がとなった時、+Q 0となるコンデンサーが2つ、0 - Qとなるコンデン サーは3つある。前者の場合、電荷+Qがアースへと流れていったことを示し、後者の場 合、アースに+Qの電荷が流れていったことにより、極盤が-Qという電荷を帯びたと考 えることができる。そのため、L HにInputを変化させたとき、+5Qの電荷がア ースへと流れることを意味する。電流の流れは、電子(-q)の流れと反対向きのため、 +Qの電荷の流れと同方向となる。また、H Lのときには、放電とは逆に+Qが充電さ れる。 ここで、MOS を構成するシリコンの誘電率を、ゲートの長さ・幅・間隔をそれぞれ l,w,d とする。この時、1つの MOSFET 中のコンデンサーの静電容量は、

$$C = \varepsilon \cdot \frac{l \cdot w}{d} = 3.453 \times 10^{-11} (F/m) \cdot \frac{0.4 \times 10^{-6} (m) \times 10 \times 10^{-6} (m)}{90 \times 10^{-10} (m)}$$
(5 - 1)
= 1.53 × 10^{-14} F = 15.3 fF

となる。よって、電位差 V とすると、1つの MOSFET に蓄えられる電荷 Q は、

 $Q = CV = 15.3 \times 10^{-15} \times 3 = 45.9 fC \qquad (5 - 2)$

ここで、NAND,Inverter 回路において、電荷を充放電、もしくは放電するコンデンサーは、図 5-4 より 5 つのため、回路全体で充放電される電荷 Qs は、

$$Q_{s=5Q=229.5fC}$$
 (5 - 3)

となる。

入力信号は、0Vと3Vのステップ入力とし、二周期目の電流変化をデータとして扱う。 この入力の立ち上げ時間は1n,1u,1mとして、それぞれの精度、貫通率を検証する。このと き、入力電圧の変化している時間での電源電圧側から流れる電荷とアースへ流れる電荷の 関係は次のようになる。

また、表 5-1,2 中に示される記述は以下のことを示す。

Iin:MOSFETにはいっていく電流 Iout:MOSFETから出て行く電流 $Q(in-out) = \int (Iin - Iout)dt$:積分時間は、立ち上げ時間の10倍 Qin(LH),Qout(LH):入力を0Vから3Vに変化させたときの電荷Q(in-out)Qin(HL),Qout(HL):入力を3Vから0Vに変化させたときの電荷Q(in-out)Q(LH):Qin(LH) - Qout(LH)Q(HL):Qin(HL) - Qout(LH)Re = ABS[Q(シュミレーション結果)/Q(静電容量からの理論値)]

とする。

B2SPICE			SPICE		
	1 m	1 u	1 n	1 u	1 n
Qin(LH)	47.2nC	46.2pC	-7.27fC	35.831pC	55.413fC
Qout(LH)	47.2nC	46.4pC	175fC	184.038pC	55.579fC
Q(LH)	-296fC	-195fC	-179fC	-148.207pC	-166pC
精度	129%	84.8%	79.4%	64.6%	72.3%

表 5-1 立ち上げ時間の違いにおける回路への蓄積電荷の変化(L H)

B2SPICE			SPICE		
	1 m	1 u	1 n	1 u	1 n
Qin(HL)	47.0nC	46.4pC	179fC	194.27pC	52.572fC
Qout(HL)	47.0nC	46.2pC	-5.38fC	2.404pC	52.336fC
Q(HL)	263fC	194fC	184fC	191.87pC	236pC
精度	115%	84.5%	80.2%	83.6%	102.8%

表 5-2 立ち上げ時間の違いにおける回路への蓄積電荷の変化(H L)

理論どおり、L H(0V から 3V)のとき、回路は放電し、H L(3V から 0V)のとき、回路 は充電することがわかる。また、精度としては、B 2 S P I C E の 1u が一番適している。 しかし、Q(回路の充放電に必要となる電荷)がどの条件でもほぼ等しいのに対し、Qin の値 は立ち上げ時間が長いほど大きくなることがわかる。回路を実際に作動させている電荷は Q(HL)もしくはQ(LH)であるが、その電荷を供給するのは、Qin である。ここで Qin が大 きくなるということは、回路を作動させるのにはそれだけの電荷を供給しなければならな いということと同時に、供給された電荷の大半は貫通電流としてアースへと流れて言って しまう。これは、電流の面から見たとき、効率が非常に悪い上、回路の発熱へとつながっ ていき、回路の作動不良・劣化等などの欠陥を引き起こす。よって、精度が多少悪くとも Qin の小さい 1n で立ち上げることがよいと考えられる。

Q(in-out)=∫(*lin – lout*)*dt* の積分方法

積分方法としては、台形近似を用いる。時間 t 秒の時、I(t)の電流が流れたとすると、 t 秒間に蓄えられた電荷 Q は、

$$\Delta Q = \frac{I(t + \Delta t) - I(t)}{2} \times \Delta t \qquad (5 - 4)$$

となるため、

$$Q = \int I dt = \sum Q \qquad (5 - 5)$$

とすることができる。よって、蓄えられた電荷 Q(in-out)は、

$$Q(in - out) = Qin - Qout$$

= $\sum \frac{Iin(t + \Delta t) - Iin(t)}{2} \times \Delta t - \frac{Iout(t + \Delta t) - Iin(t)}{2} \times \Delta t$ (5 - 6)

と、近似することができる。

)動作電流・消費電流の定義

PMOS、NMOS では、ゲートが閉じている場合でも、微少の電流が常に流れている。これをリーク電流と呼ばれるものである。4 章で用いた MOS のリーク電流は、表 5-3 の通りである。

	PMOS	NMOS
リーク電流(C/sec)	334p	3.375p

表 5-3 MOS のリーク電流

このリーク電流によって、常に回路には微少の電流が流れており、それを待機電流と呼ぶ。待機電流は回路に使われている PMOS,NMOS に依存して増える。そのため、待機電流 Is(stand)を、式(5-7)とすることができる。ただし、M は、回路に使用されている MOS 数とする。

$$Is = \frac{M}{2} \times \frac{pmos \mathcal{O} \, \mathcal{U} - \mathcal{D} \, \bar{\mathbb{T}} \, \hat{\mathbb{T}} + nmos \mathcal{O} \, \mathcal{U} - \mathcal{D} \, \bar{\mathbb{T}} \, \hat{\mathbb{T}} }{2}$$

$$= \frac{M}{2} \times \frac{334 \times 10^{-12} + 3.375 \times 10^{-12}}{2} = 84.34 \times 10^{-12} \times M$$
(5-7)

回路の作動には、MOS 中のコンデンサーの充放電によるものだった。この充放電をする ために電源から供給される電流のことを動作電流と呼ぶ。よって、回路の消費電流は、式 (5-8)の関係を持つ。

図 5-5a は、5- でのシュミレーションによって得られたグラフである。ここから、動作 電流、電荷を充放電しているときのみ、電流は流れ、充放電が終了すると電荷の移動がな くなるため、電流は 0 となると考えられる。しかし、実際には、リーク電流による、待機 電流があるため、シュミレーションの出力結果である図 5-5 は消費電流となる。



図 5-5 図 5-1 の回路において流れる電流(26n で入力を変化)

ここで、消費電流 Ic(comsumption)は、式(5-9~12)に従って処理する。ここで、Iddn は、 時間 tn において電源電圧から流れる電流とする。また、信号が変化を開始時間から、次の 信号変化開始時間までのデータを扱う。

$$Q_{n} = \frac{Idd_{n+1} + Idd_{n}}{2} \times (t_{n+1} - t_{n})$$
 (5 - 9)

$$T_{n} = \frac{t_{n+1} + t_{n}}{2}$$
 (5 - 10)

$$Qs_{n} = Q_{n} + Qs_{n-1}$$
 (5 - 11)

$$Ic = \frac{\sum Qs_{n}}{\sum Tn}$$
 (5 - 12)

)活動状態の変化と動作電流の違い

式(3-19)より、ニューロンが興奮するための条件は、

 $\Theta \le ex \cdot ew + \sum N(i) \cdot w(i) \qquad (5 - 13)$

であった。ここで初期条件を、N(i)=0(i=1~N)としたとき、式(5-13)は、式(5-14)となる。

$$\Theta \le ex \cdot ew \tag{5 - 1 4}$$

また、式(5-13)から、興奮している他のニューロンからの信号によっても、ニューロンは 興奮を開始することがわかる。この条件は、式(5-15)となる。

$$\Theta \le \sum N(i) \cdot w(i) \qquad (5 - 15)$$

以上より、ニューロンの活動には、式(5-14)による興奮と式(5-15)による2種類があるこ とがわかる。ここでは、両者を区別するために、前者によるニューロンの興奮をs(self)活動、 後者をc(chain)活動とする。

以上より、システム変数の関係によって、外部信号 ex が変化させたときのニューロンの 活動状態は、以下の 3 タイプにわけられる。

Type- 静止状態

Type-s活動によって活動が変化する

Type- c活動によって、興奮が開始する

シュミレーション a では、これら 3 タイプの活動における動作電流の違いについて考察 する。

[シュミレーションa 活動状態の違いにおける動作電流の違い]

ここで、用いる回路は、図3-11によって回路化されたニューロン回路を4章で用いたデジタル回路素子を用いて実現されたものである。ニューロン数は3とする。外部信号 ex(1)~ex(3)の信号変化は、図5-6のように、インクリメントしていく。



図 5-6 外部信号 ex(i)の変化

また、システム変数 w,ew は、次のものとする。

$$w(i, j) = \begin{bmatrix} i = j \Rightarrow 0011\\ i \neq j \Rightarrow 0101 \end{bmatrix}$$
$$ew = 1100$$

また、閾値は、表 5-4 とする。

	Туре-	Type-	Type -	
閾値	1111	1100	1000	
	 表5-4 シュミレーション a における			

また、式(5-7)より、待機電流 Is は、

$$Is = 1.366 \times 10^{-7}$$

となる。よって、動作電流 Ia(action)は、式(5-8)より、

$$Ia = Ic - Is \qquad (5 - 16)$$

となる。

以上の処理によって得られたシュミレーション結果は、図 5-7a,b,c、表 5-5、図 5-8 であ

る。図 5-7a,b,c は、図 5-6 の外部信号を用いたときの各活動状態における各ニューロンの 出力信号 N(i)(i=1~3)の変化である。図 5-8 は、図 5-6 の外部信号を用いたときにおける総 消費電荷 Qs のグラフである。また、表 5-5 は、図 5-6 の外部信号を 2 周期用いたときの消 費電流 Ic、動作電流 Ia である。



図 5-7a type- における出力信号 N(i)の変化



図 5-7b type- における出力信号 N(i)の変化



図 5-7c type- における出力信号 N(i)の変化



図 5-8 総動作電荷 Qs (idt) の変化

	Туре-	Type-	Type -	
Ic(A)	0.00018	0.00203	0.00223	
Ia(A)	0.00018	0.00203	0.00223	

表 5-5 シュミレーション a 結果

type- に比べ、、の消費電流、動作電流が大きいことがわかる。両者の違いは、図 5-7 から、活動状態が変化の有無である。活動状態の変化によって、動作電流は不変状態に 比べ、約 12 倍になっていることが、表 5-5 からわかる。また、type- の消費電荷は、外部 信号の変化によるものだとわかる。

図 5-8 から type- と でも結果の違いが現れた。Type- では、二つのニューロン回路 が興奮しているとき、c 活動によって、回路全体が興奮状態へと移行する。このため、type-

では、c 活動の開始する 72ns から消費電荷が急激に増える。また、c 活動の終了後は内部信号の変化がなくなるため、外部信号の変化によって電荷を消費する。

以上より、ニューロン回路の特性として、活動状態の変化および、活動の種類が消費電 力、動作電力に大きく影響を及ぼすことが明らかになった。

第6章 アナログニューロン回路との比較

)アナログ回路の実現および動作電流の導出

アナログ回路によるニューラルネットは、図 6-1a,b,c とする。これは、昨年の吉田の卒 論における「アナログ集積回路案 B」[7]から引用した。アナログ回路の利点は、使用して いる MOS 数が少ないことである。待機電流 Is は構成 MOS 数が少ないため、デジタル回 路に比べ、非常に小さい。また、回路の制御が複雑であり、MOS 特性のばらつきが動作に 大きく影響を受けることから、アナログ回路は非常に扱いにくい。

図 6-2 は、アナログ回路の入力信号 ex(1)と出力電流 Iout の関係を表したものである。ただし、N(i)(i=1~3)し、E(i)(i=1~3)の出力電流とする。このグラフより図 5-7 のデジタル回路の出力に比べアナログの出力信号は、緩やかに変化していることがわかる。

図 6-3 は、図 5-6 の入力信号 ex(i)(i=1~3)における Vdd からの消費電流をあらわしている。 グラフより、アナログ回路の特性として、興奮しているニューロンの個数に依存して、消 費電流 Ic が大きくなっていることがわかる。



図 6-1a ニューロン数3 における興奮性ニューロンと抑制性ニューロンの結合関係



図 6-1b 興奮性ニューロン E の回路図



図 6-1c 抑制性ニューロン Iの回路図



図 6-2 アナログ回路における外部信号 ex と出力電流 N(i)の関係(ニューロン数 3)



図 6-3 アナログ回路の消費電流 Ic の時間的変化

)動作電流・消費電流の導出プログラム

SPICE によるシュミレーションでは、正確な数値が得られる代わりに、ニューロン数 10 を超える回路のシュミレーションには、時間を要する。また、入力信号をランダムにする ことが容易ではない。そのため、SPICE によって得られた各回路の動作電流を用いること により、近似的に回路全体の消費電流を導出する。

デジタル回路における動作電流は、加算器の動いた回数に依存する。ここで、図 6-4 の回路(二つの S 回路と、4 ビット加算器)を用いて、加算器が動いたときの動作電流を導出する。 ただし、I1,I2 は入力信号、S 回路の重みはともに w=0110 とし、信号を周期 22n でインク リメントする。このときの動作電流 Ida(digital action)は、

 $Ida = 7.4 \times 10^{-5} (A)$

であった。よって、これを一つの加算器が動いたときの動作電流とする。



図 6-4 二つの S 回路と、4 ビット加算器の回路図

また、待機電流 Ids は、各ゲートに用いられている MOS 数を考慮することにより、式(5-7) より式(6-1)となる。ただし、Nは、ニューロン数とする。

$$Ids = \frac{pmos \mathcal{O} U - \mathcal{O} = \bar{n} + nmos \mathcal{O} U - \mathcal{O} = \bar{n}}{2} \times \frac{S \mathcal{F} - F \mathcal{O} mos \mathcal{B} + N \mathcal{F} - F \mathcal{O} mos \mathcal{B} + F = B \mathcal{E} N \Lambda D Nor \mathcal{F} - F \mathcal{O} mos \mathcal{B}}{2}$$
$$= 84.34 \times 10^{-12} \times (18N(N+1) + N(112 \times (N+1) + 2(N+1) + 2) + 10N)$$

(6-1)

アナログ回路においては、図 6-3 より、興奮しているニューロンの個数に依存する ため、動作電流 Iaa(analog action)を、式(6-2)となる。

また、ニューロン数 N における待機電流 Ias は、図 6-3 より式(6-3)とする。

$$Iar = 250 \times 10^{-9} \times N \tag{6-3}$$

また、プログラムにおけるシステム変数 w(i,j),ew(i), (i)は、

$$w(i, j) = \begin{bmatrix} i = j \Rightarrow 3\\ i \neq j \Rightarrow 6 \end{bmatrix}$$
$$ew(i) = 12$$
$$\Theta(i) = 12$$

とする。また、外部信号 ex(i)・内部信号 N(i)(i=1~N)の初期値はすべて 0 とする。

以上のことを考慮し、作成したプログラムは、付録とする。プログラムでは、ニューロンの活動をシステム変数以外に、信号の活動度 ear(ex action rate)、内部の結合度 icr(inner combination rate)、時間係数 tc(time coefficient)によって決定している。N本の外部信号のうち、活動している外部信号の本数は ear を用いて、式(6-4)であらわすことができる。

活動している信号の本数 = N×ear (6-4)

また、ニューロン同士の結合においては、重みが 0 となる場合、そこでは、結合してい ないことを意味している。ニューロン同士の結合数は、icr を用いて、式(6-5)で表すことが できる。

ニューロン同士の結合数 =
$$N^2 \times icr$$
 (6 - 5)

また、信号の変化する間隔は、tcを用いて、式(6-6)で表すことが可能となる。

信号の変化間隔 = $22 \times 10^{-9} \times 10^{tc-1}(s)$ (6 - 6)

とする変数である。各パラメーターの特性は、図 6-5,6,7 である。ただし、ニューロン数 10、信号変化回数を 100 としている。

図 6-5 は、icr=0 における動作電流 Ia と信号の活動度 ear の関係を表したものである。 これは、内部信号の変化による動作電流が 0 となることを意味する。図 6-5 より、外部信 号による動作電流は、デジタルにおいては、ear=0,1 付近で小さいことがわかる。これは、 ear が 0,1 付近では、入力の変化数は小さいことから、信号数が少ないためと考えられる。

図 6-6 では、デジタル回路における、ear=0.9,0.1 における内部の結合度 icr と動作電流 Ia のグラフである。グラフより icr が小さいほど動作電流が小さいことがわかる。これは、 結合度が高いほど、内部信号のフィードバックが盛んに行われるため、動作電流が増加す る。

図 6-7 は、ear=0.5,icr=0.5 における時間係数 tc と総消費電荷 Q の関係である。デジタル 方式の場合、回路が充放電するときに電流が流れるが、充放電が終了すると、電流は流れ ないため、 *J Iadt* は水平となる。アナログ方式は、ニューロンが活動すると、電流を流し続 けるため、 *J Iadt* は、比例のグラフとなる。



図 6-5 外部信号 ear の特性(Ia:動作電流)



図 6-6 内部の結合度 icr の特性(ear:外部信号の活動度 Ia:動作電流)



図 6-7 時間係数 tc の特性(Ia:動作電流)

)アナログとの比較

アナログ回路との比較は、ニューロン数が増加したときの動作電流・消費電流について、 おこなう。

[シュミレーションb 小規模回路におけるアナログとデジタルの比較]

ニューロン数 N と消費電流 Ic の関係は、図 6-8a,b である。ただし、ear は外部信号の活動度である。図 6-8a,b における外部信号の変化はそれぞれ、規則的(インクリメント)、不規則とする。また、外部信号変化回数は、2^Nとし、内部の結合度 icr=1,時間係数 tc=1 とする。

グラフからデジタル回路では、ニューロン数が増加するにつれ、消費電流が減少していることがわかる。これは、ニューロン数が大きいほど、c活動が早く開始する。そのため、図 5-8 の のように Qs がほぼ一定の部分が長くなる。このため、消費電流が小さくなると考えられる。



図 6-8a 外部信号 exの規則的変化におけるニューロン数 N と消費電流 Icの関係



図 6-8 外部信号 ex の不規則変化におけるニューロン数 N と消費電流 Ic の関係 (ear:外部信号の活動度)

[シュミレーション c 大規模回路におけるアナログとデジタルの比較]

図 6-7 において、信号の変化間隔時間が長くなれば、デジタル回路のほうが総動作電荷 Iadt が小さくなることがわかった。この関係を用い、内部の結合度 ncr=0.3、信号変化回数 は 10 における、ニューロン数と、デジタル回路が優位となる時間係数 tc とニューロン数 N の関係は、図 6-9 となる。ただし、ear は外部信号の活動度とする。

図 6-9 では、同ニューロン数において、ear が小さいほど tc が大きいことがわかる。これは、図 6-5 から ear が小さいため、アナログ回路における動作電流(消費電流)が小さくなるためである。また、ear が小さいほど、デジタル回路が優位な領域が狭くなることもわかる。ここで、tc が大きいとき、図 6-7 の関係より、

 $tc \rightarrow \infty \Longrightarrow Ida = 0$

となる。よって、式(5-8)より、消費電流 Idc, Iac は、式(6-7)となる。

$$tc \to \infty$$

$$\begin{bmatrix} Idc = Ids & \vec{x} & 6 - 7 \\ Iac = Ias + Iaa & \end{bmatrix}$$

となる。これは、信号変化間隔時間が長くなることにより、デジタル回路の消費電流 Idc は待機電流 Ids となることがわかる。式(6-7)の関係とニューロン数の関係は、図 6-10 とな る。ただし、ear が外部信号の活動度、Ic は消費電流、Is は待機電流とする。図 6-10 より、 ear=0.1 では、N=150 付近、ear=0.3 では、N=400 付近までがデジタル回路のほうが消費 電流を小さくすることが可能である。ただし、それ以降では、いくら、tc を大きくしても、 アナログ方式のほうが消費電流 Ic は小さくなる。



図 6-9 デジタル方式が優位となる時間係数 tc とニューロン数 N の関係 (ear:外部信号の活動度)



図 6-10 アナログ回路の消費電流 Ic とデジタル回路の待機電流 Is の関係 (ear:外部信号の活動度)

また、変化間隔時間 1ms(tc 6.67)における消費電流とニューロン数の関係は、図 6-10 となる。ただし、icr は内部の結合度、ear は外部信号の活動度、N はニューロン数、Ic は 消費電流とし、アナログ方式の場合は Iac、デジタル方式の場合は Idc とする。また、信号 変化回数は 20 回である。この結果から、内部結合度 icr が大きくなるほど、消費電流が大 きくなり、さらにアナログ回路の消費電流のほうが大きく臨界ニューロン数は小さくなっ ている。この結果より、消費電流を抑えるためには、

- ・ 外部信号の活動度を1もしくは0付近にする。
- ・ 内部の結合度を小さくする。
- ・ 信号の変化間隔時間を長くする。

ことが重要となる。また、デジタル回路の優位性には、待機電流(MOS のリーク電流)が 大きく影響する。



(ear:外部信号の活動度)



(ear:外部信号の活動度)



図 6-10c 内部結合度 icr=0.6 におけるニューロン数 N と消費電流 Ic の関係 (ear:外部信号の活動度)



図 6-10d 内部結合度 icr=1 におけるニューロン数 N と消費電流 Ic の関係 (ear:外部信号の活動度)

第7章 結論

デジタル二進数加算器を用いることにより、ニューラルネット回路を設計した。この時、 加算器中の EXOR ゲートのパスゲート部分における動作不良を Inverter ゲートの導入によ る方法で改善することとした。また、記憶素子 SRAM を考慮した回路設計および初期値を 与える回路を導入し、外部からニューラルネットワークのパラメーターの書き換えおよび 入力ピンの削減を可能とし、高い汎用性を実現した。

また、アナログ方式よりも大きいとされた消費電流の抑制は、信号の変化間隔時間の制 御によって可能となった。アナログ回路と比較したとき、デジタル回路における消費電流 の優位となる領域をした。この時、外部信号の活動度 ear=0.3 のとき、ニューロン数 N=450 までデジタル方式が優位となることがわかった。また、信号変化間隔時間が 1m のときでは、 N=400 付近まではデジタル回路のほうが優位であることも確認できた。よって、デジタル 方式は、比較的小さなニューラルネットワークにおいて、アナログ回路より、電流特性が 優れていることが判明した。また、立ち上げ時間は、短いほど貫通電流が小さくなり、電 気的に効率に優れる。また、消費電流についてのデジタル方式の優位性は、信号の変化間 隔が長くなるほど、回路の待機電流に大きく依存することも判明した。

このネットワークシステムの集積回路化は、小型機械の制御や CPU との併用により、シ ステム末端での情報処理および高等な情報処理システムへの発展が考えられる。ニューロ ン回路中の S(シナプス)回路の数を減らすことにより、回路中の MOS 数が減少することに より、待機電流は小さくなる。入力信号をデコード信号によって、選択的にシナプスに送 り込むことにより、汎用性も維持することが可能となる。現回路ではニューロンの活動状 態を興奮状態から静止状態へと変化させるため、重みを負とすることで実現できる抑制型 ニューロンを設計する必要がある。今後は、FPGA を用いて、LSI 化を行い、動作および 電流特性の確認を行う必要がある。

58

```
付録 試作した回路シュミレータ
ncount=
icr=
ear=
roop=
tc=
excount=
for(kk=1:ncount)
   k=2^(kk-1)
   awe=rand(k);
   aweit=(6-3*awe*inv(awe)).*(rand(k)>(1-icr));
   exweit=12*(rand(k,1)>0);
   theta=12*(rand(k,1)>0);
   dousad(kk,1:2)=0;
    dousaa(kk,1:2)=0;
   for(rcount=1:roop)
        ex=rand(k,1)*0;
        a=rand(k,1)*0;
        q=0;
        qs=0;
        ffpq=0;
        pqa=0;
        qex=0;
        qsex=0;
        pqas=0;
        for(x=1:excount)
```

р=0;

```
for(t=1:kk)
```

ex=exf;

qex=qex+sum(abs(exf-ex)); qsex=qsex+qex; pqa=pqa+sum(ex); pqas=pqas+pqa;

exf=rand(k,1)>(1-ear);

if sum(out)==k q=q+p; qs=qs+q; else q=q+p; qs=qs+q; end

end

p=p+(sum(aweit'>0).*(2+k-(1:k)))*abs(a-out);a=out;

if out==a break;

if sum(ex) == 0

out(1:k,1)=0;

else

end

end

out=exweit.*ex+aweit'*a>=theta;

```
end
```

break;

if ji==1

end

```
pq=(2*qs+q*cou)/((1+2*cou)*cou);
```

```
pqex=(2*qsex+qex*cou)/((1+cou*2)*cou);
pqaex=(2*pqas+pqa*cou)/((1+cou*2)*cou);
```

dou=pq+pqex; doua=pqaex;

```
\quad \text{end} \quad
```

```
\label{eq:constraint} \begin{array}{l} dousad(kk) = dousad(kk) + dou; \\ dousaa(kk) = dousaa(kk) + doua; \\ reakd(kk) = 84e - 12^*(14^*k^*(k+1) + k^*(112^*(k+1) + 2^*(k+1) + 2) + 10^*k); \\ reaka(kk) = 250e - 9^*k; \end{array}
```

end

```
y=1:ncount;
etime=22e-9*10^(tc-1)
plot(2.^(y-1),dousad(y)/roop*7.4e-5/etime+reakd(y),2.^(y-1),dousaa(y)/roop*1.836e-
5+reaka(y));
legend('degital','analog')
```

参考文献

[1]松村道一「ニューロサイエンス入門」(サイエンス社) 1995

[2]久間 「人工網膜 LSI」 固体物理 vol35,p911(2000)

[3] C.Meed "Analog VSLI and Neural Systems"

Addenson Wesleug(Masachusetts 1989)

[4]長谷川伸 「電子工学序論」(倍風館) 1998

[5]榎本忠義「CMOS 集積回路」(倍風館) 1996

[6]小野員正 「半導体工学の基礎」(東海大学出版会) 1988

[7] Chris Diorio and Rajesh P.N.Rao "Neural circuits in silicon"

(NATURE, VOL405)pp891~951