#### 山梨大学大学院工学研究科

## 博士前期課程機械システム工学専攻

# 平成 15 年度修士論文

# アナログ方式の特性バラツキを考慮した 神経回路網の集積回路化

# 学籍番号 氏名:G02MM003 上野 響一

## 指導教官:加藤 初弘 助教授

平成 16 年 3 月 24 日修了

<概要>

現在の集積回路は、近い将来加工限界の壁に到達することがわかっており、 中央演算処理に頼った信号処理には限界があります。そのため、新しい信号処 理デバイスの研究が注目されています。その中の一つに、生物神経回路網を集 積回路化する試みがあります。このシステムは、限定された機能を集積化した い場合に有効であり、ロボットのような統合処理システムの末梢部分に用いる 期待が持てます。そこで、本研究では、消費される電力や発生する熱量が少な く、省スペースで神経機能を有した集積回路を搭載することができるアナログ 集積回路に注目ました。また、WSAという生物神経機能を実現することを目 指し、浅井回路方式を参考にしました。

本研究では扱う電流が小さいサブスレッショルド特性を利用しているため、 トランジスタの製造バラツキによる影響が大きくなります。従来の回路方式で はそのバラツキによって回路動作の信頼性が失われる可能性があります。した がって、本研究ではバラツキに耐性のある回路方式の考案とその実装を目的と しました。

従来の回路方式はトランスリニア原理を用いていることにより、回路全体に 影響を与える素子数が多く、高集積化が進むとそれらの素子に大きな特性変動 を持った素子が含まれる可能性が高くなるため、回路の信頼性が低下していき ます。本研究では、カレントミラーと呼ばれる集積回路技術では欠かすことの できない手法を用いて、従来の方式よりも少ない素子数でWSA機能を実現し ました。さらに、その回路方式において、危険分散するために、素子を移動す るという工夫を行いました。また、レイアウトの作製を行い、回路を試作しま した。

以上から、トランスリニア原理を用いずに少素子でWSAを実現する代替手 法の考案し、さらに回路に工夫を加えることで、素子特性の変動に強い回路の 考案することができました。また、レイアウトにおいても従来の方式より集積 度が向上しました。これらにより、素子バラツキが回路全体に与える影響が小 さい回路を効率よく高集積化することができるようになりました。

# 目次

#### 1. 序論

1 - 1	l ) 中央演算処理の限界・・・・・	• • • • •	••	••	•	•	•	•	1
1 - 2	2)神経回路網のメリット・・・・		••	•••	•	•	•	•	1
1 - 3	3)神経回路網の研究・・・・・・		••	••	•	•	•	•	2
1 - 4	1)アナログ集積回路のメリットとテ	デメリット		••	•	•	•	•	3
1 - 5	5)研究対象と目的・・・・・・・		••	••	•	•	•	•	4

#### 2. 対象とする生物神経機能

2 -	・1 ) LV ネ	ットワーク	7	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	6
2 -	· 2 ) WSA	とWTA・	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	7

#### 3. トランスリニア原理を用いた WSA 回路

3 -	1)	サフ	ブスし	ノツ	シ	ョル	・ド	\$領均	或にま	ミけ	· 3	動化	F特性	•	•	•	•	•	•	•	•	•		8
-----	----	----	-----	----	---	----	----	------	-----	----	-----	----	-----	---	---	---	---	---	---	---	---	---	--	---

- 3-2) E cell と H cell を用いたアナログ回路適用・・・・・・ 10
- 4. トランジスタのゲート長と特性バラツキ・・・・・・・・・・・・ 15

## 5. 特性バラツキを考慮した回路設計

5 -	1)E	cell の役割	•••	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	18
5 -	2)特性	生バラツキを	考	憲し	tر	50	回路	洛討	安言	<b>+ •</b>	•	•	•	•	•	•	•	•	•	•	•	•	20

# 6. レイアウト設計

6 -	1)	試作こ	プロセス	• •	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	27
6 -	2)	レイち	ァー設定	• •	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	28
6 -	3)	レイフ	ァウト設	計·	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	31

# 7. レイアウトの検証と試作

		7 -	1)	レ	1	יק	ナ	6	ກ <sup>ະ</sup>	検	証	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	34
		7 -	2)	試	作	チ、	ש.	プ	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	37
8.	結	侖・	•	• •	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•		•	•	•	•	•	•	38
謝郡	ŧ٠	•	••	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	39
引月	月文	献	••	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	40

1. 序論

1-1)中央演算処理の限界

現在主流であるデジタル集積回路を用いたコンピュータは、ソフトウェアによ る機能構築という汎用性の高さから、急速な発展を遂げてきました。その要求 は、ソフトウェアの多様化やマルチタスクなどにより高い処理能力が必要とさ れるからで、それらにより、現在も集積回路の高速処理化は進歩し続けていま す。しかし、さらなる情報量の増大とマルチタスクには、より高い処理能力が 必要となってくることは明らかであり、集積回路の加工限界が叫ばれる今日で は、中央演算処理に頼った信号処理には限界があると考えられています[1]。そ こで、この問題を解決する方法として、複数の演算処理装置を用いて情報の分 散処理を行うという考えが生まれました。この処理は、複数の演算処理装置が 同時に別々の処理を行っているため、並列処理とも呼ばれています[2]。この方 法により、膨大な情報群を複数の演算処理装置に分配して高速処理を行うこと ができるようになります。しかし、演算処理装置が増えれば増えるほど装置間 の通信が必要になるため、システム全体としての処理能力の向上率が低下して しまい、効率の悪いシステムになってしまいます[3]。このように、現在主流で あるシリアル信号処理は限界があるため、効率の良い新たな信号処理システム の開発が期待されています。

1-2)神経回路網のメリット

近年、並列処理という観点から、生物神経回路網を集積回路化する試みがな されています。生物の情報処理システムは、情報処理の過程において、メモリ やソフトウェアという概念がなく、ある入力があったとき、信号処理を行う最 小構成単位が相互に影響しあって出力を決定すると同時に、その各々の機能の 出力もまた相互に影響しあって全体のシステムとしての出力が決定する並列分 散処理システムです。このシステムは機能実現にソフトウェアもメモリも必要 ないため、限定された機能を集積化したい場合に有用であると考えています。 さらに、この生物神経システムは、今までの信号処理にない状況に応じた選択 や増幅などができるというメリットもあります。しかし、正確な計算が必要な ときは従来のメモリと中央演算処理装置を往復するシリアルな信号処理のほう が正確かつ高速なため、すべての信号処理を生物機能に置き換える可能性は低 いと考えます。このような考えから生物の情報処理の仕組みを応用することで、 並列処理を用いた情報処理機能をロボットのような統合システムの中に組み込 み、従来のシリアル信号処理と生物神経回路網を参考にした並列信号処理を相 互作用させれば、処理効率の向上が期待できます。また、統合システムとは別 に、単純な機能のみを持つ機械の制御系に用いることも有用であると考えてい ます。このような経緯により、並列分散処理が前提である生物神経回路網の信 号処理が集積回路の分野で注目され始めるようになりました。

1-3)神経回路網の研究

生物神経回路網の研究は、現在に至るまでの数十年の間、生物学においては 人間の脳や小動物、微小生物などの様々な神経機能についての神経のつながり や役割を解明し、電子工学においてはその結果からモデル化を行い、ソフトウ ェアを用いて伝達シミュレーションをすることにより発展してきました [4],[5],[6]。近年では、そのシミュレーションの結果を基に、人口網膜チップの ようなハードウェアによる生物神経回路網の実装という段階に入っています [7],[8]。実装した回路の機能が十分な信頼性を持つと評価できるならば、その機 能を高集積化することで、今までとは異なる並列分散処理方式で信号処理を行 うチップをシステムの一部として組み込むことが可能となります。また、別の 観点から見れば、このような集積回路を作製し評価を行うことは、神経回路網 という観点から、いまだ全貌が明らかになっていない生物の仕組みを理解する 手段の一つと捉える事もできます。 1-4) アナログ集積回路のメリットとデメリット

神経回路網の集積化には、アナログ方式とデジタル方式の二つの方式があり ます。この二つの方式は、集積回路の用途によって使い分けられることが想定 されます。それは、この二つの方式では同じ機能を実現するための素子数が異 なるため、高集積化時のチップのサイズの差に大きな開きが生じてしまいます。 したがって、限られたスペースで神経機能を有した集積回路を搭載することを 考えなければならないとき、素子数の少ないアナログ集積回路は有用であると 考えます。また、アナログ集積回路は素子数が少ないため、消費される電力や 発生する熱量が少なくなるというメリットもあります。デジタル集積回路の場 合、回路規模は大きくなりますが、搭載するスペースを気にする必要がないと きや確実な信号処理が必要なときなどに用いることが考えられます。このよう なことから、神経回路網の集積回路化は用途に応じてアナログとデジタルを使 い分けることが効率的であることがわかります。

本研究は、アナログ方式の特性バラツキを考慮した神経回路網の集積回路化 です。この研究は、アナログ集積回路の高集積化を念頭に置いて、神経回路網 の機能を実現する回路を設計する試みから生まれました。アナログ方式は、扱 う信号がトランジスタに流れる電流と加える電圧です。ここで問題となるのが、 トランジスタには製造バラツキが存在し、同じ電圧を加えても流れる電流がト ランジスターつーつで異なることです。このバラツキが動作マージンの範囲内 ならば問題ありませんが、たいていは特性が大きく異なるトランジスタが含ま れてしまいます。本研究では、電力を抑えるためにサブスレッショルド電流を 用いて回路設計を行っています。このため閾値バラツキによる影響受けやすく、 回路が機能しなくなる可能性もあり、高集積化への障害になってしまいます。 つまり、本研究における回路方式の高集積化には、特性の大きく異なる素子が 存在しても、回路全体にはさほど影響を及ぼさないバラツキに耐性のある回路 を用いることが必須条件となります。

3

1-5)研究対象と目的

本研究では、素子数が少なくでき高集積化が可能なアナログ集積回路に注目 しました。また、省電力を実現できることから MOS トランジスタのサブスレッ ショルド特性を利用することにしました。サブスレッショルド特性とは、 MOSFET における閾値電圧以下の電流電圧特性です。この特性は、ゲート・ソ ース間電圧を用いて指数関数により表現できます。これにより、電流の収支だ けで信号の伝達を考えることができ、制御が容易になります。また、閾値電圧 以下での電流を扱うため、消費される電力も閾値以上のときの約1/10にな ります。実現する生物機能として WSA を選択しました。この機能は、強い入力 から順に出力を選択することで、多少選択を間違えても機能の信頼性は保たれ る柔軟な信号伝達機能です。特に、競合型 LV ネットワークは、複数の興奮性セ ル(E cell)と一つの抑制性セル(H cell)からなるネットワークで、半導体 への実装も進んでいます[9]。cell とは機能もったシステムの最小構成単位のこ とで、H cellの出力をすべての E cell に抑制フィードバックとして入力する ことで、強い出力を持った E cell だけが生き残る WSA 機能を実現することが できるようになっています。

これまでの回路では、電圧の和を電流の積に変換することができるトランス リニア原理を用いて H cell の抑制機能を実現しています。この手法を用いると、 H cell の素子数が多くなることが問題となります。H cell は全ての E - cell に接続しているため、回路全体に大きな影響を与えます。したがって、LV ネッ トワークにおいて H cell の安定動作は必要不可欠となります。前述の通り、ト ランジスタには製造バラツキが存在するため、H cell の素子数が多ければ、特 性の大きく異なる素子が含まれる確率が高くなります。特に、サブスレッショ ルド特性を用いると、その影響はより一層深刻になります。簡単なネットワー クの機能評価ならば、対象とする母集団も小さいので、特性の異なる素子が含 まれない可能性もあります。しかし、高集積化を考えた場合、素子の数が数万 個程度になると想定されるため、H cell にそのような素子が含まれることは十 分考えらます。したがって、H cell の素子数が多いほど、WSA 機能としての 信頼性は低くなります。このことから、従来方式における H cell の素子数より も少ない素子数で抑制機能を実現することができれば、高集積化時の信頼性は 向上することがわかります。

このような経緯から、本研究は、アナログ方式で WSA 機能を高集積化するために、トランジスタの素子バラツキを考慮した回路の設計とその回路の半導体 基板への実装を目的とします。この回路の実現により、高集積化時の WSA 機能の信頼性を向上させることが可能となります。 2.対象とする生物神経機能

2-1) LV システム

生態系の食べる、食べられるの捕食関係において、生物の個体数を定式化したのが LV(Lotka Volterra)方程式です。浅井方式は、それを生物神経回路網における信号の競合に適用した LV システムを基本としています[9]。

図 2 - 1 は LV ネットワークの概略を示した図です。図 2 - 1 において  $V_1^{(e)}V_2^{(e)} \cdot \cdot \cdot V_N^{(e)}$ が各 E cell への入力、 $I_{out}^1 I_{out}^2 \cdot \cdot \cdot I_{out}^N$ は各 E cell からの 出力、 $V_{com}$ が H cell からの出力です。本研究では、回路実現が目的ですので、 Iは電流、Vは電圧を表しています。cell とは 1 つの機能を果たす回路単位を表 し、E cell が興奮性 cell、H cell が抑制性 cell の役割を果たしています。全 ての E cell の出力信号が H cell に入力され、その H cell の出力は全ての E

cell にフィードバックされます。H cell は各 E cell に抑制性信号を送り、 回路全体としては一定の状態に収束します。



図 2 - 1 LV ネットワーク[9]

浅井回路は LV システムを用いて WSA や WTA という機能を実現しています。 WSA (winner share all)と WTA (winner take all)は、強い入力を選 択するという生物神経機能の一つです。WSA は、図 2 - 2 (a)のようにある一 定値以上の入力を強い順に選択し、WTA は、図 2 - 2 (b)のように一番強い入 力を選択します。



( b ) WTA

図 2-2 神経回路網の機能選択[9]

#### 3. トランスリニア原理を用いた WSA 回路



3-1) サブスレッショルド領域における動作特性

図 3 - 1 MOSFET

図 3 - 1 (a), (b) に示されるような MOSFET において、 $V_g$  をゲート電圧、  $V_s$ をソース電圧、 $V_d$  をドレイン電圧、 $V_{bg}$  をバックゲート電圧とすると、閾値 以下領域 (サブスレッショルド領域)では

$$I = I_0 e^{\kappa (V_g - V_{bg})} \left( e^{-(V_s - V_{bg})} - e^{-(V_d - V_{bg})} \right)$$

という関係が成り立ちます[10]。ここで、 $\kappa$ はゲート容量などで決まる定数です。 特に、 $V_s << V_d$ という条件でMOSを動作させると $e^{-(V_s - V_g)} >> e^{-(V_d - V_{bg})} \approx 0$ となり、 $e^{-(V_d - V_{bg})}$ を無視することができます。また、

ソースとバックゲートを結線すると $V_s - V_{bg} = 0$ となるので

が成立します。

図 3 - 2 は、N タイプ MOSFET のゲートに電圧を加えていったときのソース ドレイン間に流れる電流を表したグラフです。図に示されるように、この MOSFET の閾値電圧は 0.7 前後で、通常のアナログ集積回路やデジタル集積回 路はこの閾値電圧以上、電流でいえば数 100 µA で回路を動作させています。







本研究で取り扱う回路はサブスレッショルド領域の電流を用いて動作させて います。サブスレッショルド領域とは、図3-2(a)の矢印で示された範囲を意 味しています。サブスレッショルド領域では扱う電流が非常に小さいため、図 の縦軸のようなスケールのグラフにおいては、ほぼ 0A になってしまいます。そ れを分かり易くするために図3-2(a)の縦軸を対数でとったのが図3-2(b) です。その図を参考にすると、サブスレッショルド領域を用いて回路を動作さ せる場合、数100p ~ 数 $\mu$ の間の電流を用いていることがわかります。

3-2) E cell と H cell を 用いた アナログ 回路 適用

図 3 - 3(a)(b)は浅井が考案した E cell と H cell です。図 3 - 3の(a) (b)の電流  $I_{H}^{M_{2}}$ 、 $I_{H}^{(1)}$ 、 $I_{H}^{(2)}$ 、 $I_{i}^{M_{1}}$ を式(1)に適用して、トランジスター $M_{H}^{3}$ 、 $M_{H}^{4}$ 、 $M_{H}^{5}$ 、 $M_{i}^{1}$ のゲート・ソース間電圧 $V_{a}$ 、 $V_{b}$ 、 $V_{c}$ 、 $V_{com}$ の関係式として表すと、

$$\begin{cases} I_{H}^{M_{2}} = I_{0}e^{\kappa(V_{a}-0)} = I_{0}e^{\kappa V_{a}} \\ I_{H}^{(1)} = I_{0}e^{\kappa((V_{a}+V_{b})-V_{a})} = I_{0}e^{\kappa V_{b}} \\ I_{H}^{(2)} = I_{0}e^{\kappa((V_{com}+V_{c})-V_{com})} = I_{0}e^{\kappa V_{c}} \\ I_{i}^{M_{1}} = I_{0}e^{\kappa(V_{com}-0)} = I_{0}e^{\kappa V_{com}} \end{cases}$$

となります。



これらから、

$$\begin{cases} V_a = \frac{1}{\kappa} \ln\left(\frac{I_H^{M_2}}{I_0}\right), & V_b = \frac{1}{\kappa} \ln\left(\frac{I_H^{(1)}}{I_0}\right) \\ V_c = \frac{1}{\kappa} \ln\left(\frac{I_H^{(2)}}{I_0}\right), & V_{com} = \frac{1}{\kappa} \ln\left(\frac{I_i^{M_1}}{I_0}\right) \end{cases} \end{cases}$$

が得られます。

これを図 3 - 3 (b) の点 P とグランド GND との間の電圧に関するキルヒホッ フの法則

$$V_a + V_b = V_c + V_{com}$$

に代入すると、

$$\ln\left(\frac{I_{H}^{M_{2}}}{I_{0}}\right) + \ln\left(\frac{I_{H}^{(1)}}{I_{0}}\right) = \ln\left(\frac{I_{H}^{(2)}}{I_{0}}\right) + \ln\left(\frac{I_{i}^{M_{1}}}{I_{0}}\right)$$
$$\ln\left(\frac{I_{H}^{M_{2}} \cdot I_{H}^{(1)}}{I_{0}^{2}}\right) = \ln\left(\frac{I_{H}^{(2)} \cdot I_{i}^{M_{1}}}{I_{0}^{2}}\right)$$

が得られます。従って、

が成立します。このように式(1)によって電圧に関する条件式を電流に関する簡 単な条件式に変換することができます。このような、条件式の変換の仕方をト ランスリニア原理と呼びます。 ここで、

$$\beta = \frac{I_{H}^{(1)}}{I_{H}^{(2)}}$$

とします。これは、電流源の大きさを調整することで自由に変化させることが できるパラメータです。また、 $I_{H}^{M_{2}}$ は、点Aでの電位を $V_{i}$ とすると、各E cell からの電流の和として

$$I_{H}^{M_{2}} = \sum_{i=1}^{N} I_{0} e^{\kappa V_{i}}$$

と表現できるので、式(2)は

となります。つまり、H cell は電流  $I_i^{M_1} \in I_H^{M_2}$ の  $\beta$  倍に変化させることが できるトランスリニア乗算器として機能する回路ということがわかります。 また、電源電圧を $V_{dd}$ 、  $M_i^4$ のゲートに印加する電圧を $V_i^{(e)}$ とするとき、電流  $I_i^{M_4}$  を式(1)を用いて表すと

$$I_{i}^{M_{4}} = I_{0}e^{\kappa(V_{dd} - V_{i}^{(e)})} \cdot e^{-(V_{dd} - V_{i})}$$
$$= I_{0}e^{\kappa(V_{i} - V_{i}^{(e)})} = (I_{0}e^{\kappa V_{i}})e^{-\kappa V_{i}^{(e)}}$$

となります。ここで、

$$I_0^{M_4} = I_0 e^{\kappa V_i}$$

とおくと、

同様に、 $I_i^{M_2}$ も式(1)から

よって、式(3)(4)、(5)を用いて時間発展を考えた電流のバランスを図 3-3 (a)の点 A で考えると

$$CV_{i} = I_{i}^{M_{4}} - I_{i}^{M_{2}} - I_{i}^{M_{1}}$$
$$= I_{0}^{M_{4}} e^{-\kappa V_{i}^{(e)}} - I_{0} e^{-\kappa V_{i}} - \beta I_{0} \sum_{i=1}^{N} e^{\kappa V_{i}}$$

を得ます。この式は、E cell の出力*V<sub>i</sub>*が従う方程式で、図 2 - 2 の結果はこの 式を用いることで再現できます。 4.トランジスタのゲート長と特性バラツキ

加工工程の変動などでゲートやチャンネル部の材料特性が変化するために、 MOSFET の閾値は少ないながらもバラツキが生じます。図4-1は、ある加工 プロセスにおけるゲート長と閾値電圧のバラツキを示したグラフです[11]。チャ ネル長が短いと、ソースやドレインの不純物がチャネル部の不純物分布に大き な影響を与えるため、閾値のバラツキが増大します(ショートチャネル効果)。 図では、チャネル長Lが0.2 µm 以下でショートチャンネル効果が現れることを 示しています。従って、ゲート長が0.2 µm 以上であればバラツキを小さくでき ることがわかります。また、ゲート長が長いほど、飽和領域においてドレイン 電圧の変化によるドレイン電流の影響が減少するので回路設計には好都合です。

ゲート電圧を閾値以上で動作させるデジタル回路方式では、小さな閾値のバ ラツキは大きな問題になりません。しかし、トランスリニア原理を用いるアナ ログ回路ではこの閾値のバラツキモ回路特性に影響を与えると心配されていま す。したがって、サブスレッショルド領域での回路設計を考える場合、閾値電 圧のバラツキが少ない範囲且つドレイン電流が安定する長さ以上のゲート長を 用いて設計を行う必要があります。今回行った試作ではゲート長を1 µm とし てあります。







図 4-2 はモデル化したトランジスタの VTO(閾値電圧)というスパイスパ ラメータを 5mV、10mV、15mVだけ変化させた場合に、トランジスタに流れ る電流量をサブスレッショルド領域の 500~540mV 区間部分について示したグ ラフです。図 4-3 は一般的に用いられる閾値電圧以上で流れる電流を 0~3V

区間部分で図 4-2 と同様に VTO を変化させて示したグラフです。一般的な集 積回路は数 100 μA で回路を動作させるため、図 4 - 3(a)~(c)に見て取れ るように十数 mV程度のバラツキでは回路への影響がほとんどありません。し かし、サブスレッショルド領域では扱う電流量が小さいので図4-3に示される ように大きな影響が出てしまいます。

図 4 - 2 の 520m V において、電流量の差を比較するために(a)~(c)それ ぞれに対しての倍率を計算すると、

(a) 
$$\frac{918.824nA}{771.692nA} = 1.39$$
  
(b)  $\frac{1.078\mu A}{771.692nA} = 1.398$ 

$$(1.251\mu A) = 1.621$$

(c) 
$$\frac{1}{771.692nA} =$$

となります。したがって、サブスレッショルド領域で回路を動作させる場合、 素子の閾値電圧バラツキが大きければ、制御する電流量が大きく変化すること がわかります。したがって、バラツキを考慮し、その影響を受けにくい回路設 計を行うことが重要となります。

5.特性バラツキを考慮した回路設計

5-1) E cell の役割

E cellの動作はトランスリニア原理を用いた電流のバランスによって決まり ます。その概要を以下にまとめます。図 3 - 3 (a)の点 A における電流のバラ ンスから

$$I_i^{M_4} = I_i^{M_1} + I_i^{M_2}$$

また、H cellの動作から

$$I_i^{M_4} = \beta \sum_{i=1}^N I_i^{M_2} + I_i^{M_2} \qquad \dots$$

が導き出されました。この両辺の総和を取りNで除すると

$$\frac{1}{N}\sum_{i=1}^{N}I_{i}^{M_{4}} = \beta\sum_{i=1}^{N}\frac{1}{N}\sum_{i=1}^{N}I_{i}^{M_{2}} + \frac{1}{N}\sum_{i=1}^{N}I_{i}^{M_{2}} \qquad \dots (2)$$

式(2)の右辺の第一項は

$$\sum_{i=1}^{N} \frac{1}{N} \sum_{i=1}^{N} I_i^{M_2} = \sum_{i=1}^{N} I_i^{M_2}$$

であることは明らかです。ここで、式(2)の左辺を

$$\left\langle I_{i}^{M_{4}}\right\rangle = \frac{1}{N} \sum_{i=1}^{N} I_{i}^{M_{4}}$$

と表すと式(2)は

$$\left\langle I_{i}^{M_{4}}\right\rangle = \beta \sum_{i=1}^{N} I_{i}^{M_{2}} + \frac{1}{N} \sum_{i=1}^{N} I_{i}^{M_{2}}$$

と書くことができます。この式から

$$\left\langle I_{i}^{M_{4}}\right\rangle = \left(\frac{\beta N+1}{N}\right)\sum_{i=1}^{N} I_{i}^{M_{2}}$$
$$\therefore \sum_{i=1}^{N} I_{i}^{M_{2}} = \frac{N}{\beta N+1} \left\langle I_{i}^{M_{4}}\right\rangle$$

が得られます。この式を式(1)に代入すると

$$I_i^{M_4} = \frac{\beta N}{\beta N + 1} \left\langle I_i^{M_4} \right\rangle + I_i^{M_2}$$

$$\therefore I_i^{M_2} = I_i^{M_4} - \frac{\beta N}{\beta N + 1} \left\langle I_i^{M_4} \right\rangle$$

ここで、 $I_i^{M_4}$ が E cell の入力であり、 $I_i^{M_2}$ がその出力です。Nが十分大きけ れば右辺第 2 項は各 E cell の入力  $I_i^{M_4}$ の平均値 $\langle I_i^{M_4} \rangle$ となります。このことは、 E cell の機能が入力  $I_i^{M_4}$  と平均値 $\langle I_i^{M_4} \rangle$ の引き算を行っていることを表してい ます。従って、どのような回路方式であれ、入力とその平均値の差を取る回路 を作れば、これが E cell の役割を果たすことができるはずです。浅井の論文で は、LV 方程式の実現という観点から回路方式を決めていますが、WSA、WTA という機能を実現することを目的とするならば、このことは必ずしも必要では ありません。このような観点より、構成素子数が少なくより実現しやすい回路 方式を検討しました。素子数を少なくすることにより、トランジスタの製造バ ラツキによる特性変動の影響を少なくすることができます。 5-2)特性バラツキを考慮した回路設計



図 5-1 バラツキを考慮した WSA 回路

図 5 - 1 (a) (b) は、浅井氏らが考案した回路に基づき、トランジスタの特 性バラツキを考慮して設計された回路です。図 5 - 1 (a) の E cell の A 点で の電流の収支を考えると

$$I_i^{(e)} = \beta \langle I_j \rangle + I_i \qquad \cdots (1)$$

は明らかです。 $I_i^{(e)}$ は入力電流、 $\beta \langle I_j \rangle$ は抑制電流、 $I_i$ は出力電流を表していま す。 $\beta$ はトランジスタ?と?のゲート幅の比で決定されるパラメータです。こ の回路は、各 E cell での入力 $I_i^{(e)}(i=1 \sim N)$ の平均値 $\frac{1}{N}\sum_{i=1}^{N}I_i^{(e)}(\equiv \langle I_i^{(e)} \rangle)$ と $I_i^{(e)}$ を 差し引きすることが本質です。 $\langle I_i^{(e)} \rangle$ は、E cell の $I_i$ と関係していますが、こ の関係は式(1)の両辺の総和を取りNで除することで得られます。

$$\frac{1}{N}\sum_{i=1}^{N}I_{i}^{(e)} = \beta \langle I_{j} \rangle + \frac{1}{N}\sum_{i=1}^{N}I_{i} \qquad \cdots (2)$$

上式(2)において*I<sub>i</sub>*の平均が現れますが、この平均は下記の(a)、(b)によって回 路的に実現されます。

(a) 各 E cell の出力を1つの節点 B に束ねる

(b) PMOS カレントミラーで入力と出力の MOS サイズに N 倍の差を設ける

式(2)の右辺の第二項は各 E cell の出力電流の平均なので

$$\left\langle I_{j}\right\rangle = \frac{1}{N}\sum_{i=1}^{N}I_{i}$$

と表せます。よって

...

式(3)を式(1)に代入して

式(4)が得られます。これはi番目の E cell の出力  $I_i$ が入力  $I_i^{(e)}$ で決定される という方式ですが、このとき H cell を介して平均化した電流  $\frac{1}{1+\beta} \langle I_i^{(e)} \rangle$ が入 力のフィードバックを行っていることに相当します。

この回路の特徴としては、

#### 1. トランスリニア原理を用いずに平均化を実現する回路方式であること

2. 平均化を行う回路部分を分割したこと

が主なものです。一つ目のトランスリ ニア原理を用いずに平均化を実現する 方式とは、前述の(b) PMOS カレント ミラーで入力と出力の MOS サイズに N 倍の差を設ける、という方法です。 それを図5-2に示しました。図のW は MOS のゲート幅を表しています。 MOS のゲート幅を $\frac{1}{N}$ にすると流れ る電流も比例して $\frac{1}{N}$ になります。こ れをカレントミラーと呼びます。この 方法により、少ない素子数で平均化を 行うことが可能となります。



図 5-2 カレントミラー

トランスリア原理を用いない回路のみを考えた場合、実現される回路は以下の図5-3(a)となります。浅井回路の場合、H cellの素子数が電流源を含めなくても5個(電流源を含めれば10個程度)に対して、図5-3(a)のH cell の数は電流源も必要ないので3個だけで済みます。



図 5 - 3 素子移動

図 5 - 3(b)が本研究で考案した回路ですが、上に示されるように平均化するた めのカレントミラー部の片方を E cell に組み込んでいます。これが、この回路 の 2 つ目の特徴です。これにより、バラツキに影響されやすい H cell の素子数 を 2 個にすることができました。 ここで注意すべきことは、図 5 - 3(b)の E cell に組み込まれた素子のゲート 幅は NW から W に変更されていることです。つまり、図 5 - 4(a)に示される NW のゲート幅を持つ素子に流れる電流は、図 5 - 4(b)の各 E cell に組込ま れたゲート幅 W のトランジスタからの出力電流の和と等しいことを示していま す。



図 5 - 4 (a) N 倍のゲート幅を持つ素子を用いた回路



図 5-4 ゲート幅 W の素子を N 個の E cell で用いた回路

このようにして、バラツキを考慮して H cell の素子数を少数に抑え、平均化 を行うことのできる回路を実現することができます。

このE cell への素子移動は、回路における素子バラツキの耐性が上がったこ とを意味しています。例えば、図 5 - 4 (a)のゲート幅が NW である素子に大 きな素子バラツキが生じた場合、H cell が平均化の機能を果たすことが出来な くなります。前述の通り、H cell は全てのE cell と繋がっているため、WSA 回路として成り立たなくなります。本研究では、この素子はE cell に組み込ま れています。図 5 - 5 のように 1 つのE cell に組み込まれた素子に大きな素子 バラツキが生じた場合、このE cell からの出力電流は極端に小さいか、極端に 大きいかのどちらかになります。どちらにしても、全てのE - cell の出力電流が 合計され、H cell を介して平均化されるので、フィードバックされるバラツキ の影響は  $\frac{1}{N}$  に減少し、各E cell に分散されることになります。高集積化を考 えた場合、E cell の数はバラツキの大きな素子数に比べてはるかに大きくなる ので、各E cell に分散される影響も無視できる範囲になると想定されます。



図 5-5 大きな素子バラツキが生じた場合

無論、平均化の役割を担っている H cell の素子にバラツキが生じれば、前述の ように WSA として機能しなくなることは明らかです。しかし、素子数を減らし たことで、バラツキにより回路が機能しなくなるという可能性は確実に低くな りました。また、図 5 - 4 (a)の回路では、E cell の数が増えるたびに、平均 化を行う H cell のカレントミラー部のゲート幅の比を変更する必要がありま す。この E cell への素子移動によって、回路規模が大きくなるたびに回路を変 更する必要がなくなったこともこの回路方式の有効な点と言えます。

#### 6. レイアウト設計

#### 6-1) 試作プロセス



図 6 - 1 2 ポリ 3 メタル CMOS プロセス

試作したプロセスは2ポリ3メタルの0.35µmルールCMOSプロセスです。その断面構造を図6-1に示しました。半導体基板はp型(p-sub)で、ここにNwellを形成し、それぞれにNMOSとPMOSを形成します。2つあるpolySi層はMOSのゲート層(Gatepolyのpoly)と抵抗層(R-poly)として使用します。トランジスタ及びwellコンタクト、基板コンタクト以外は厚い酸化膜(フィールド酸化膜)で覆われています。このフィールド酸化膜の上には、金属などの配線層が設けられ、基板またはwellとの間に実質的にトランジスタが形成されます。しかし、このトランジスタの酸化膜が厚いので閾値が大きく、電流がフィールド酸化膜の下に流れることはありません。トランジスタなどの素子は、3層の金属層(Metal1、Metal2、Metal3)で結合します。金属間を結合するためにマコンタクトホール(cont)を用います。

### 表1は試作チップにおけるプロセスの主要特性です。

最小加工寸法	0.35[ µm]
PolySi	2 層
メタル配線	3 層
電源電圧	3.3[V]

表1

6-2) レイヤー設定

N-well	PMOS 用バックゲート
<b>III</b> LOCOS	フィールド酸化膜の反転領域
GATE	ポリシリコンゲート
Poly	配線用ポリシリコン
R-Poly	抵抗用ポリシリコン
	拡散領域あるいは GATE から METAL1 へのコンタクト
METAL1	メタル配線
VIA	METAL1 と METAL2 のコンタクト
METAL2	メタル配線
VIA2	METAL2 と METAL3 のコンタクト
METAL3	メタル配線
PAD	パッケージ内配線用端子
	セル枠

表2 レイヤー設定

表 2 はレイアウト作製に用いた主要レイヤー設定です。レイアウトは試作工 程におけるレジストへの投影パターンを主眼に置いたもので、その投影に用い るガラスマスクに描かれます。したがって、レイヤー設定と完成したチップの 内部構成との微妙な違いを念頭に置いておくことが必要です。



図 6-2 は NMOS トランジスタを作 製する初期段階の工程で、フィールド酸 化膜の生成工程を示しています。ガラス マスクにはレイアウト作成時に作った LOCOS 層が描かれていて、図 6-2 の 3番目の工程で用いられています。図に 示されるように、最後にシリコンウェハ ー上に残るのは酸化膜です。つまり、ガ ラスマスクに描かれた図とは逆の領域 が CMOS の一部として用いられること を意味しています。これが、前述した完 成したチップの内部構造とレイヤー設



図 6-4 レイアウト図との対応



定の違いであり、表2のLOCOS がフィールド酸化膜の反転領域 と示されている理由です。また、 レイアウトとは逆のマスクによ って作製される部分もあり、それ を使い分けながら工程ごとにマ スクを交換して図6-1のような CMOS が作製されます。

上の図 6 - 3 は作製に用いるス テッパー(露光装置)の仕組みを 示した図です。ガラスマスクは図 のように設置され、紫外線をレン ズで集めることによりウェハー に素子を作製します。

以上より、CMOS 断面図と作 製レイアウトは図 6 - 4 のような 対応関係になります。 図 6 - 5 が今回作製したチップ全体のレイアウトです。図の黄色丸で囲まれた 部分が本研究で設計した回路で、電源電圧や入力電圧の設定、または合計電流 の計測のために機能ごとにチップの端にあ

るピンク色の PAD に接続されています。







2.5mm 図 6 - 5 チップのレイアウト

図 6-6 は本研究で設計した 回路のレイアウトの拡大図 です。図に示されるように、 E cell が 20 個、H cell が 1 個で構成されています。 本研究は高集積化を実現す るために、安定動作が可能か を調べることに重点が置か れています。よって、今回、 設計ルールの最小値を用い

た設計を行うことは、回路の 評価の信憑性を損なう恐れが あるため、全体的に素子の間 隔を大きくとっています。回路の評価が正しく行われれば、今後高集積化も可



能なことは明らかです。

図 6 - 7 は、回路部分から PAD への接続するための配 線の位置関係を示していま す。図に示される矢印のよう に、回路と PAD は繋がって います。 $V_i^{(e)}$ は 20 個あるう ちの半分の 10 個の E cell が $V_i^{(e)}$ を個別に設定でき、残 りの半分はすべて同じ値に なります。具体的には、図に 示された上の $V_i^{(e)}$ と記述し

図 6-7 PAD への接続

てある配線は10個の E

cell と一つの PAD と繋がっており、図の中央左に記述してあるV<sub>i</sub><sup>(e)</sup>は 10 個の E
 cell がそれぞれ個別の PAD に繋がっています。残りの GND( グランド ), VDD
 (電源 ), V<sub>com</sub>、 SumI<sub>i</sub>、 VDD - Hcell はそれぞれ PAD に繋がっています。

また、補足的な説明として、Metal1~3までの金属層がチップを覆うように 置かれています。これは、どこのトランジスタにも接続されておらず、ダミー レイヤーと呼ばれています。ダミーレーイヤーは、チップを作製する工程から 考えられたものです。ダミーレイヤーを置かない場合、ウェハー全体に対して 金属配線は均一ではなくなり、金属配線の少ないチップの隣にあるチップが設 計し得る最小寸法で設計されていたり、多数の金属配線を持っていると、その チップの金属配線が設計値と異なるという現象が生じてしまいます。したがっ て、これを防ぐためにダミーレイヤーは置かれます。



図 6 - 8 PMOS 領域と NMOS 領域

図 6 - 8 に示されるように、一般的な集積回路は PMOS 領域と NMOS 領域それ ぞれにトランジスタを作製し、それを金属配線で接続することで回路を組んで います。また、右図が E cellを拡大した図、左図が H cellを拡大した図です。 本研究における回路は cell に NMOS、 PMOS の両方が存在しているため、1つ の cell 単位が縦長の形状になっていることがわかります。 7. レイアウトの検証と試作

7-1) レイアウトの検証



図 7 - 1 (a) バラツキを考慮した E cell

図7-1(b)は図7-1(a)の回路のレイアウト を示した図です。前述の通り、上部が PMOS 部、 下部が NMOS 部となっていて、回路とレイアウト の位置関係はほぼ対応するようになっています。 図7-1(c)の浅井回路 E cellをレイアウト化し た場合、図7-1(b)上にはトランジスタ $M_{H}^{1}$ は存 在せず、1つの E cell に対して PMOS 領域の半 分もの領域が未使用領域となってしまいます。隣 にある E cell の PMOS を左に詰めて設計するこ とも可能ですが、E cell が増えれば増えるほど、 効率が悪くなる上に複雑な回路構成になってしま います。





図 7 - 1 (b) E cell のレイアウト

それを示したのが図 7 - 2 (a) (b) です。図 7 - 2 (a) は単純に本研究の E cell にあるトランジスタ $M_{H}^{1}$ の部分だけを水色で塗りつぶした図です。本研究



のレイアウト浅井回路に転 用することを考えた場合、浅 井回路ではレイアウトはE cell 部に限ってはこのような 図になります。E cell1つ1 つが長方形の領域におさま っていてわかりやすい回路 ですが、前述の通り無駄なス ペースが存在することにな ります。

(a) 浅井回路の想定レイアウト



(b) 空き領域使用を想定した場合

図 7 - 2 (b) は上記のスペ ースを回路部分として使用 することを考え、PMOS 部分 の E cell を左に詰めた図で す。これも本研究のレイアウ トの一部を単純に消しただ けなので、実際のレイアウト とは異なりますが、この図を 参考にすると、大きなスペー スが空くため、新たな回路部 分として使用することは十

分可能です。しかし、E cell

図7-2 浅井回路のレイアウト化について の PMOS 領域と NMOS 領域 が、E cell の数が次第に増えるにつれ離れていくことになります。このような レイアウトでは配線が長くなり複雑になってしまいます。本研究では、数千、 数万個単位の高集積化を考えているため、レイアウトでの無駄のない設計はと ても重要です。したがって、本研究の回路方式は、レイアウトという観点から みても、有用であることがわかります。



図 7 - 3(b)は、図 7 - 3(a)の本研究で考案した H
 cell のレイアウトです。図 7 - 3(c)の浅井方式と
 比較すれば、H cell の素子数が大きく減少したこと
 は明らかです。



図 7-3(c)浅井回路のH cell



図 7-3(b)H cellのレイアウト

112.

7-2) 試作チップ



図 7 - 4 (b) 試作チップにおける WSA 回路部分

8. 結論

本研究は、生物神経機能(WSA)を集積回路化するために、省電力という観 点からサブスレッショルド特性を用いたアナログ方式に注目し、トランジスタ の素子バラツキによる影響を少なくする回路方式の提案とその実装を目的とし てきました。その手法として、素子数の削減と機能の空間的な分散を考案しま した。試作のための回路設計やレイアウトの作製により、以下のことが得られ ました。

- トランスリニア原理を用いずに少素子で信号の平均化を行うことが できる代替手法の考案
- 平均化を行う H cell の素子の一つを E cell に組み込み、空間的に 分散することによって、素子特性の変動に強い回路の考案
- 集積回路試作のため作製したレイアウトにおける、本研究で設計した
  回路の高集積化時の有効性

今後としては、本研究で考案した回路がWSA回路として機能しているかどう か検証するために、作製したチップをパッケージングし、各E cell に入力電圧  $V_i^{(e)}$ を与えて電流を測定します。測定したチップのほとんどがWSA として機能 しているならば、高集積化へのステップに進むことができます。次のステップ としては、本研究における回路方式を用いて高集積化チップを作製し、WSA 機 能を検証することです。この機能の信頼性が実証されれば、試験的に搭載可能 なデバイスを模索するステップに進むことができます。 <謝辞>

本研究で行った試作は、大規模システム設計教育研究センター(VDEC)の協力で実現したものです。

<引用文献>

[1]N.G.エインズプラチ 岩田倫典 「超 LSI エレクトロニクス 応用編[ ]」 現 代工学社(1983)

[2]富田眞治 「並列計算機構成論」 昭晃堂(1986)

[3] 富田眞治,末吉敏則「並列処理マシン」オーム社(1989)

[4]D.G.Albertson and J.N.Thomson, "The Pharynx of Caenorhabditis Elegans", Philosophical Transactions of the Royal Society of London B., vol.275, pp.299-325(1976)

[5]林初男,「神経システムの非線形現象」,コロナ社(1998)

[6]臼井支朗 「脳・神経システムの数理モデル」 共立出版(1997)

[7]C.Mead, "Analog VLSI and Neural System", Addison-Wesley Pub.Co,pp.5 4-59(New York 1989)

[8]Chris Diorio and Rajesh P.N. Rao, "Neural Circuits in Silicon" Nature vol.405,pp.891-951 (2000)

[9] T.Asai, T.Fukai, and S.Tanaka, "A subthreshold MOS circuit for the Lotka-Volterra neural network producing the winners-share-all solution", Neural Networks, vol.12, pp.211-216(1999)

[10]E.サヂェス.シネンシオ,AG.アンドレウ編,「アナログ・デジタル混載システ ム LSI」,培風館(2000)

[11]解説記事、「『ダマシン・トランジスタ』実用化阻む 3 大課題に対して 2000 年内の決着を目指す」、マイクロデバイス、179 号、173-174 頁(2000,5 月)