

神経回路網のデジタル集積回路化

G03MM037 森下 裕之

指導教官: 加藤 初弘 助教授

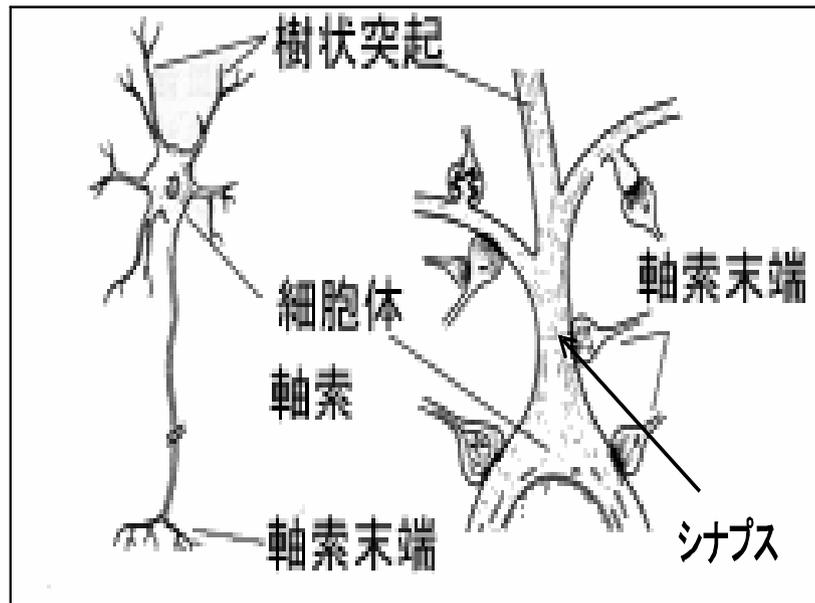
研究背景

- 新たな情報処理システムとして神経回路網を模倣したニューラルネットワークが注目されてきている
- 小型の制御機器やロボット等の制御素子、システムの末端における制御等への応用
- 素子バラツキの影響が低いデジタル方式による設計

研究目的

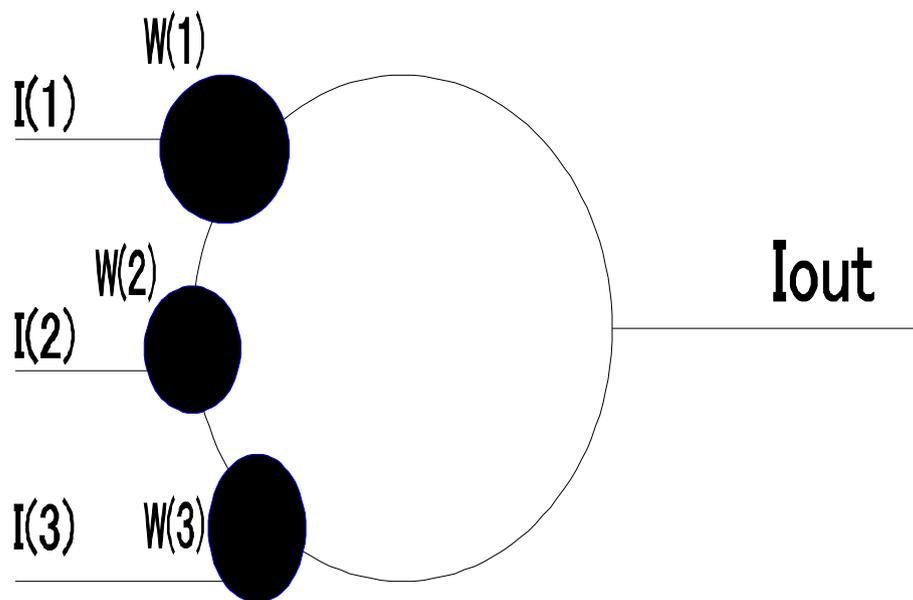
- 神経回路網のデジタル集積回路化
- 回路の省スペース化

ニューロン細胞について



- 神経系を構成する細胞
- 樹状突起から信号を受け取り、軸索から電気信号として信号を出力
- ニューロン同士の結合箇所をシナプス
- ニューロンが軸索より信号を発することを「発火」もしくは「興奮」と呼ぶ

形式ニューロン



$$a = \sum_{i=1} I(i) \cdot W(i)$$

$$a \geq \theta \rightarrow Iout = 1$$

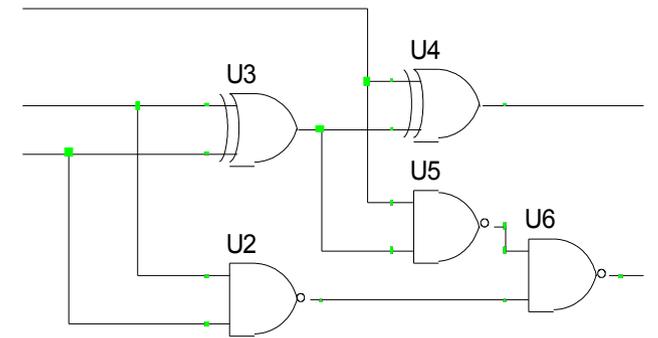
⇒ 発火・興奮

$$a < \theta \rightarrow Iout = 0$$

回路の設計様式

	PLDを用いる回路実現	レイアウト設計によるフルカスタムLSIの設計
長所	実機評価が容易 ソフトウェアによって回路の書き換えが容易 低コスト	省スペース 内部回路の詳細まで設計可能 大量生産時の単価が抑えられる
短所	大量生産性にかける 動作速度が低い	コストがかかる 作り直し等に不都合

PLD(Programmable Logic Device) の使用方法



パソコンで設計

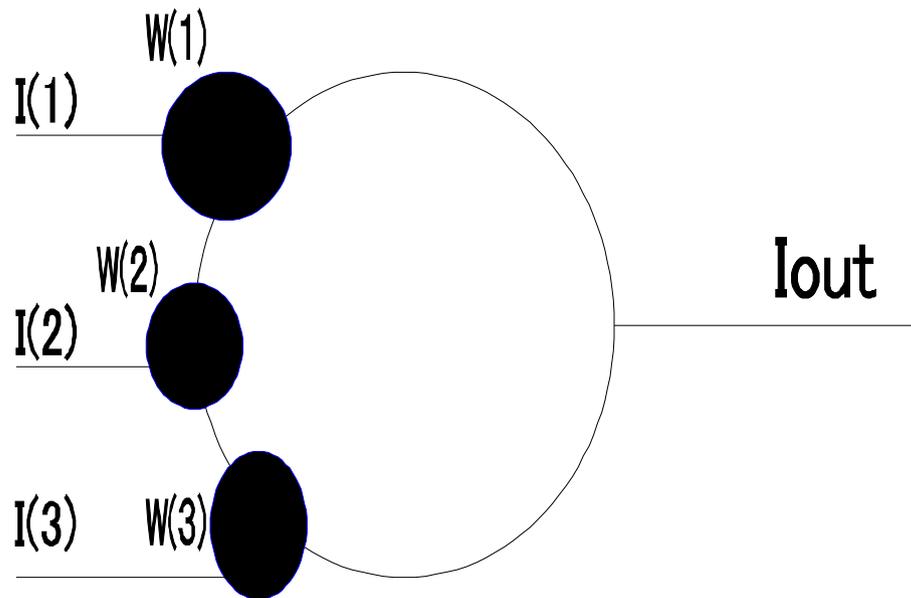
回路の設計様式

	PLDを用いる回路実現	レイアウト設計によるフルカスタムLSIの設計
長所	実機評価が容易 ソフトウェアによって回路の書き換えが容易 低コスト	省スペース 内部回路の詳細まで設計可能 大量生産時の単価が抑えられる
短所	大量生産性にかける 動作速度が低い	コストがかかる 作り直し等に不都合

レイアウト設計



ニューロン細胞のモデル化



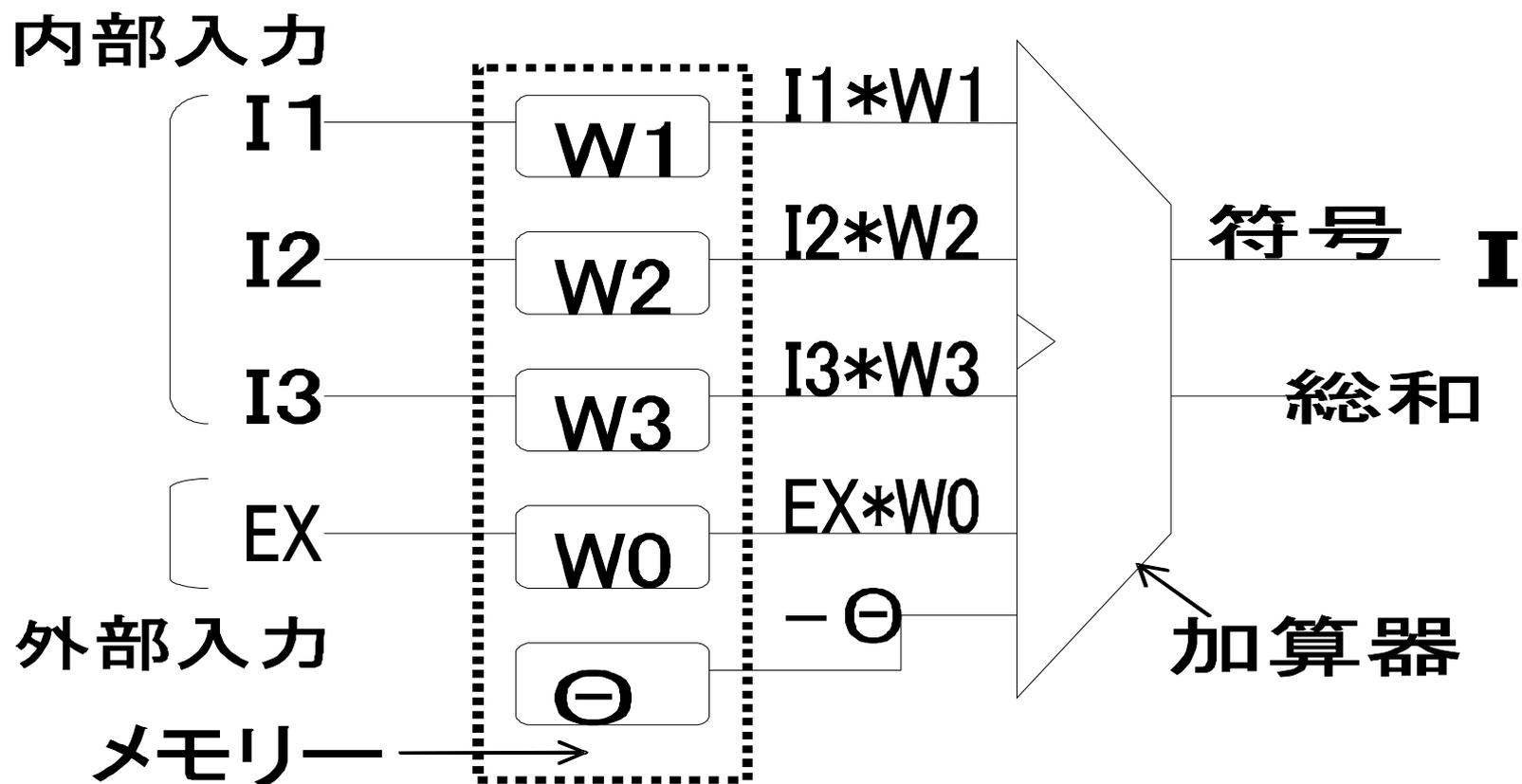
$$a = \sum_{i=1} I(i) \cdot W(i)$$

$$a \geq \theta \rightarrow Iout = 1$$

⇒ 発火・興奮

$$a < \theta \rightarrow Iout = 0$$

ニューロン細胞の回路化



閾値判別について

$$a = \sum_{i=1} I(i) \cdot W(i)$$

$$a \geq \Theta \rightarrow I_{out} = 1$$

$$a < \Theta \rightarrow I_{out} = 0$$



$$a = \sum_{i=1} I(i) \cdot W(i) - \Theta$$

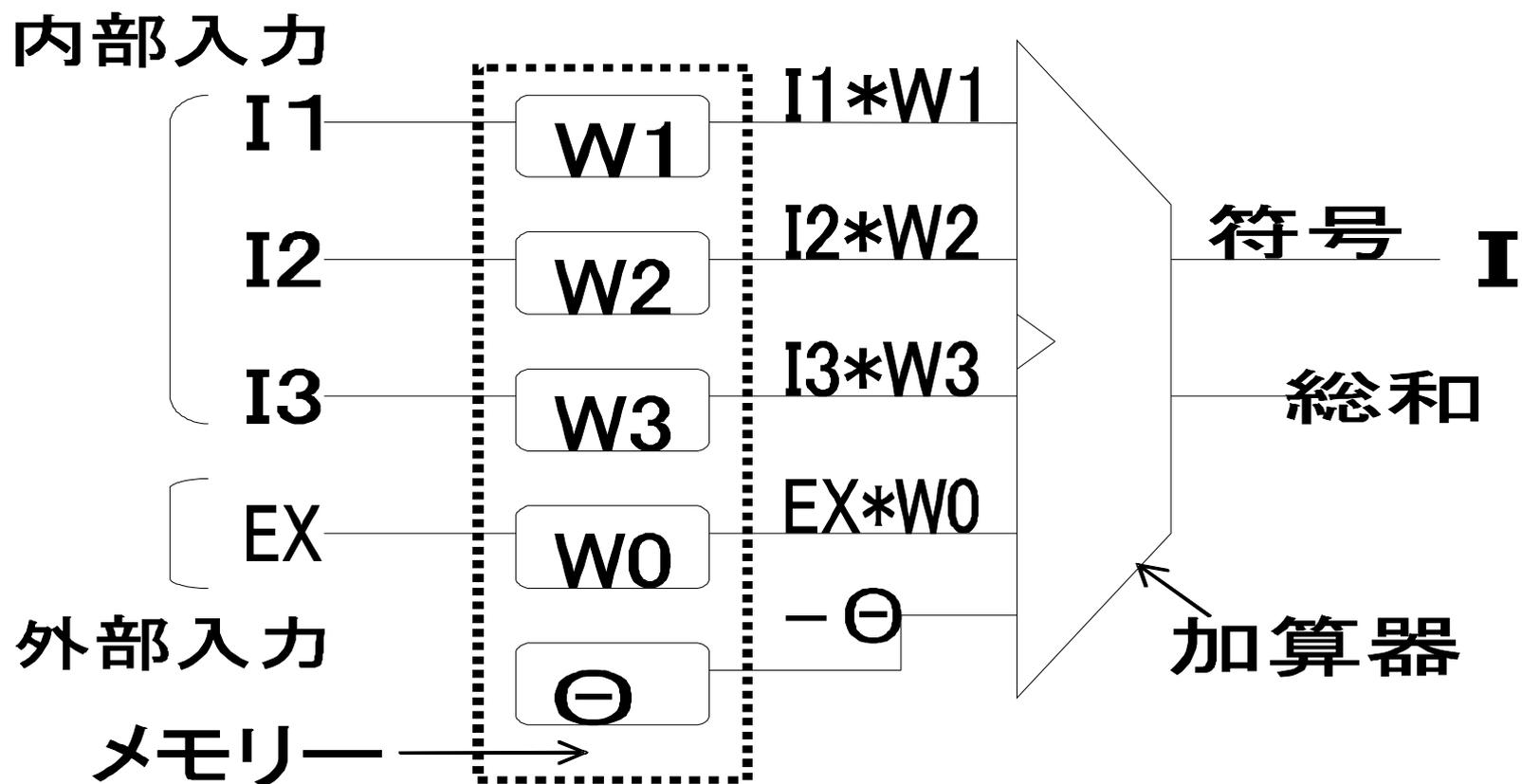
$$a \geq 0 \rightarrow I_{out} = 1$$

$$a < 0 \rightarrow I_{out} = 0$$

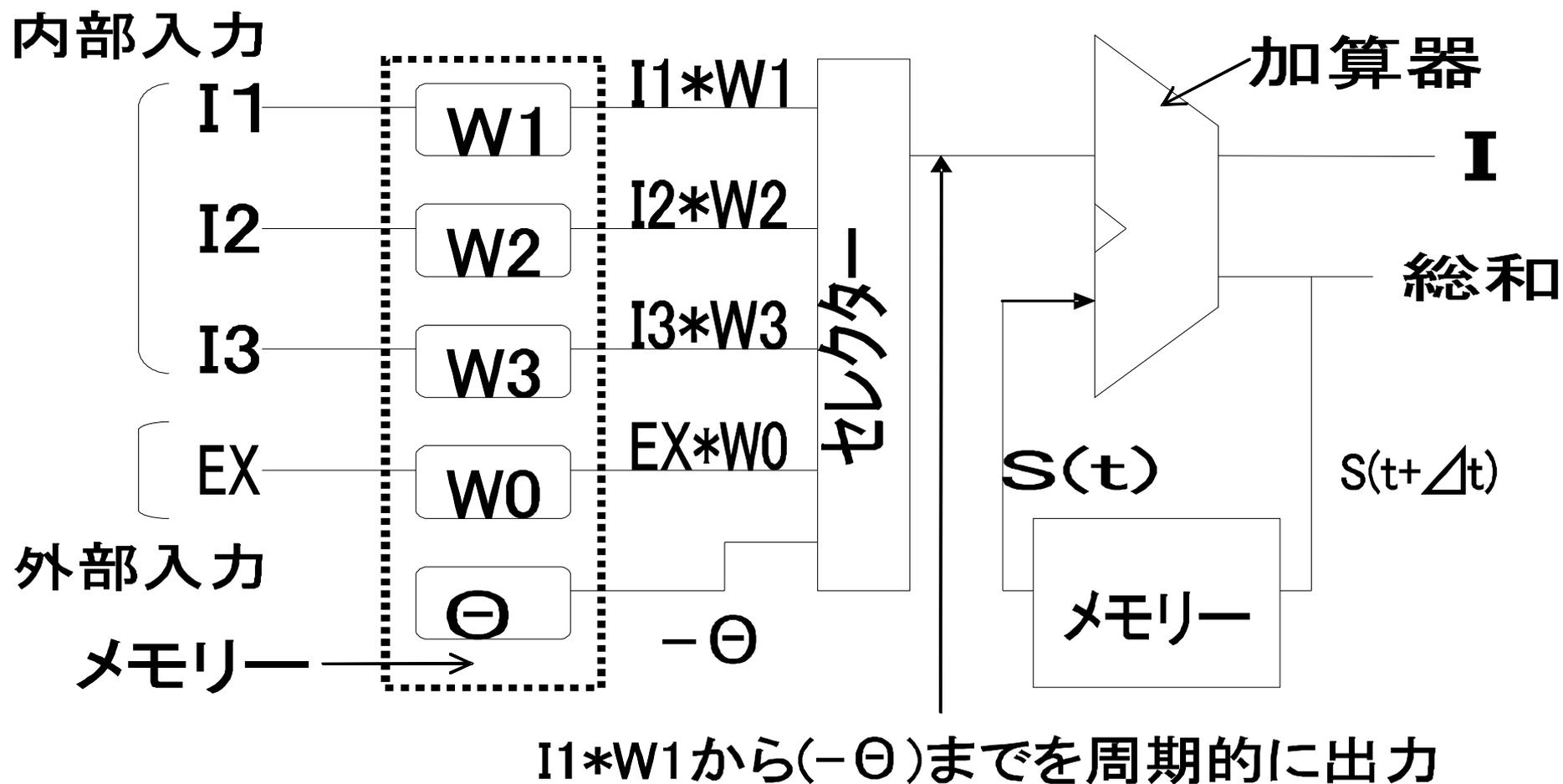
$$\sum_{i=1} I(i) \cdot W(i) - \Theta = \sum_{i=1} I(i) \cdot W(i) + (-\Theta)$$

$\sum I_i \cdot W_i - \Theta$ の結果(符号)によって発火の有無を決定

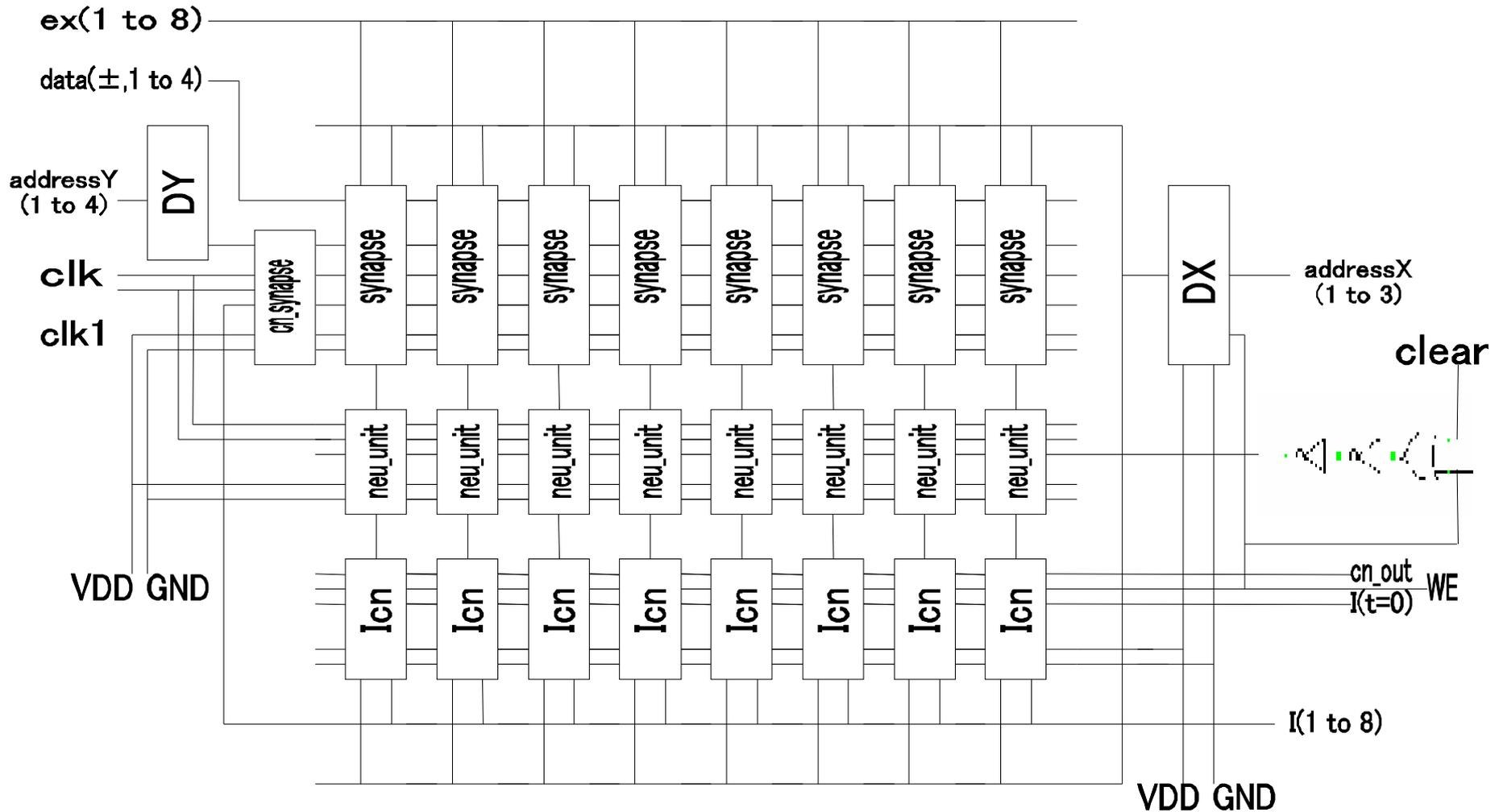
ニューロン細胞の回路化



ニューロン細胞の省スペース化



試作回路のブロック図



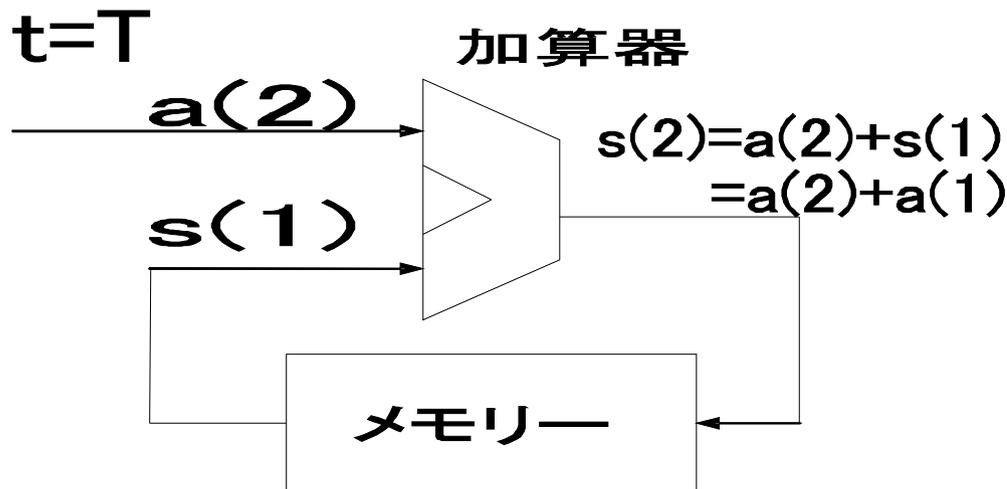
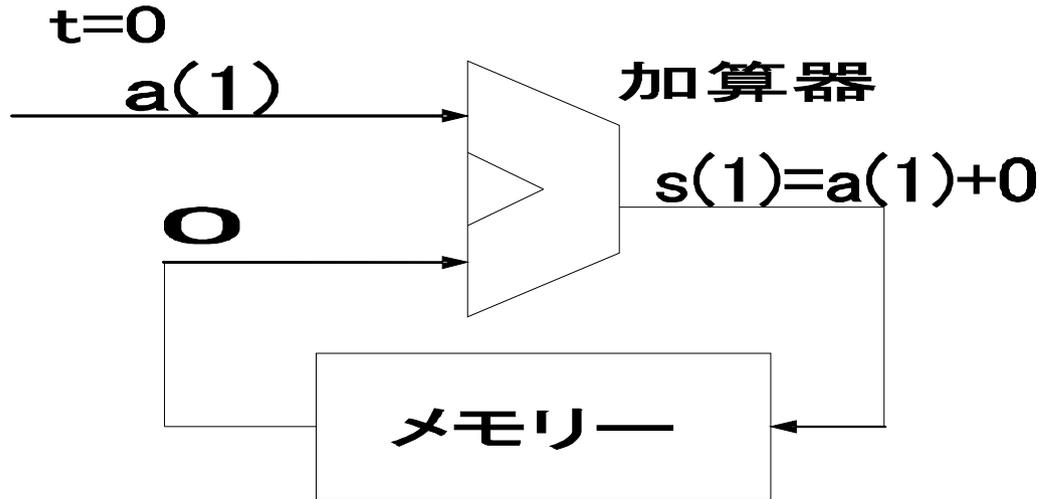
ブロック回路の説明

ブロック名	備考
DX	ニューロン方向のアドレス指定を行うセレクター
DY	シナプス方向のメモリー指定を行うセレクター
synapse	$W \cdot \theta$ を記憶するメモリー
cn_synapse	メモリーの書き込み、呼び出しを制御するブロック
neu_unit	入力の総和や閾値との大小判別を行う
Icn	内部信号の更新を制御するブロック

信号の説明

信号名	備考
addressX	セレクターのX方向(ニューロン)の指定
addressY	セレクターのY方向(シナプス)の指定
data	重み(値4ビット 符号1ビット)
Ex	外部入力信号
clk	クロック信号
clk1	加算器メモリーの更新補助
cn_clear	初期化制御信号、cn_clear=1で初期化
cn_out	出力制御信号、cn_out=1で内部入力信号の更新
WE	書き込み制御信号 WE=1でメモリーへの書き込み、WE=0で演算
I(t=0)	初期の内部入力信号
Iout	出力した内部入力信号

演算時(WE=0)の動作



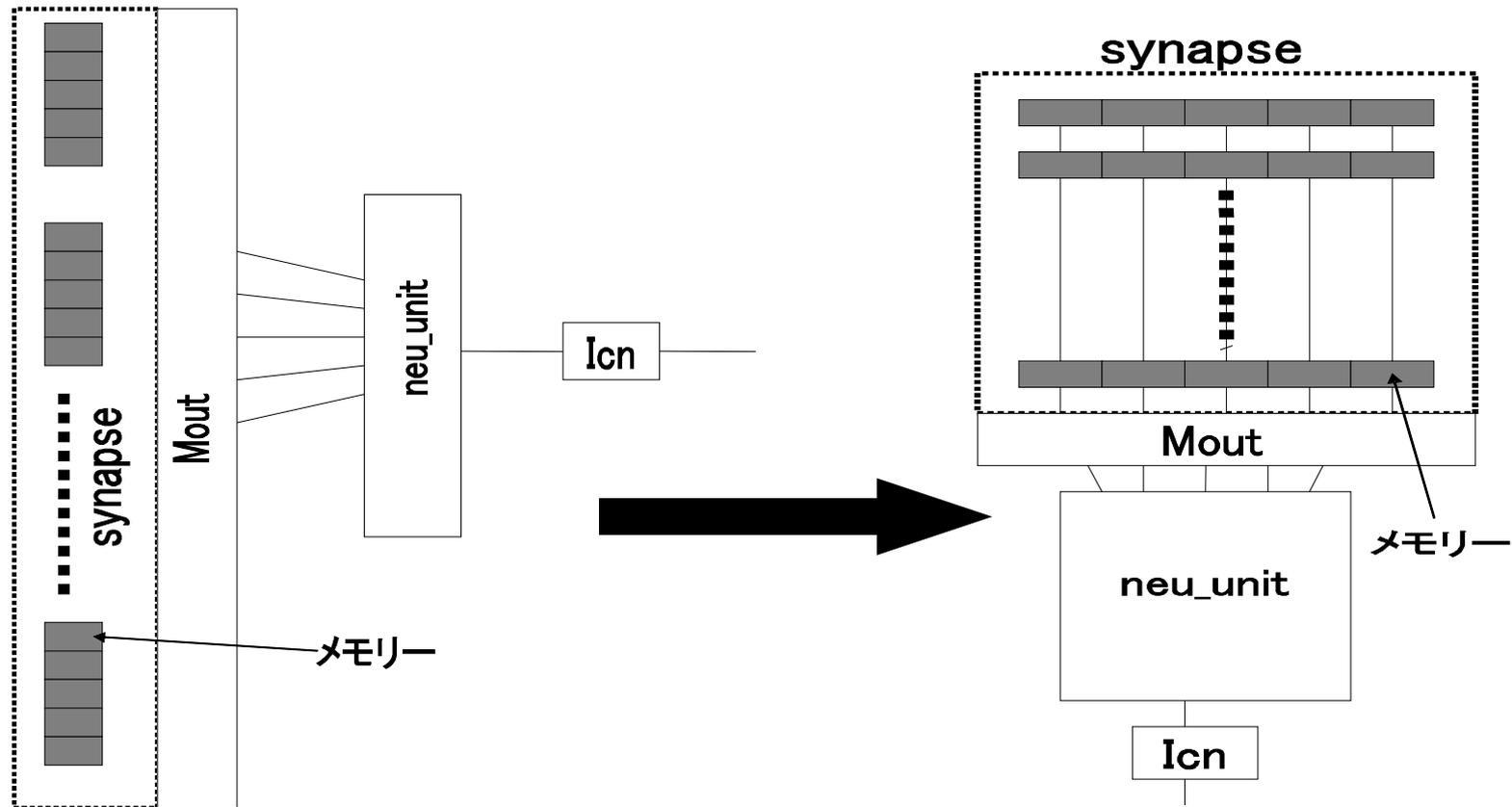
synapseブロックから重み W を呼び出し、内部入力信号 I および外部入力信号 ex との積を取る。

その結果を加算器で順に加算していき、総和および閾値との減算を導出する。

省スペース化について

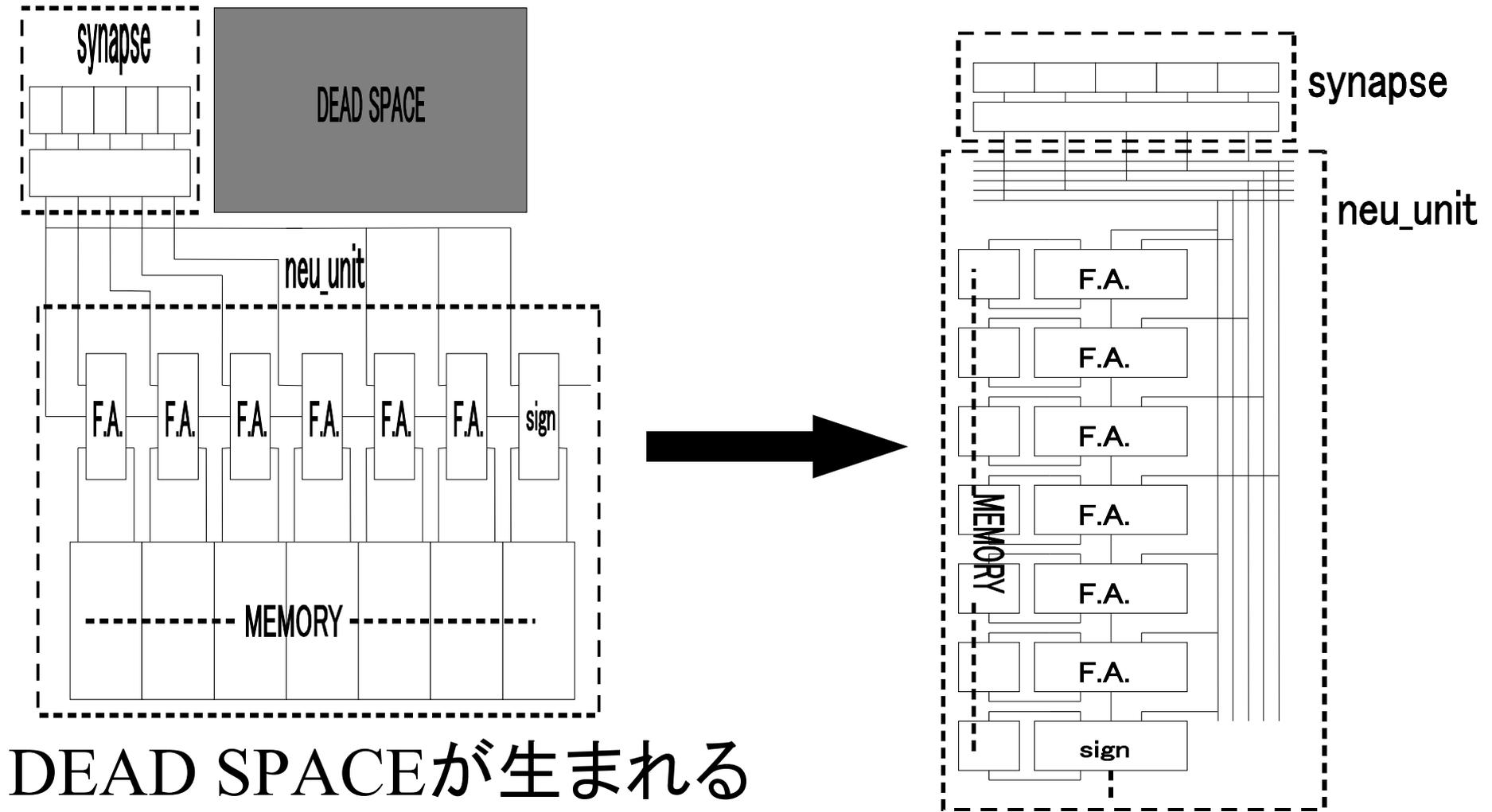
- レイアウト設計による省スペース化
- メモリー回路としてDフリップフロップではなくSRAMを使うことによる省スペース化
- MOS特性を利用した出力セレクターの設計
- 加算器にメモリーを組み込むことによる省スペース化
- 各ブロックのサイズの最適化

synapseブロック内の配置

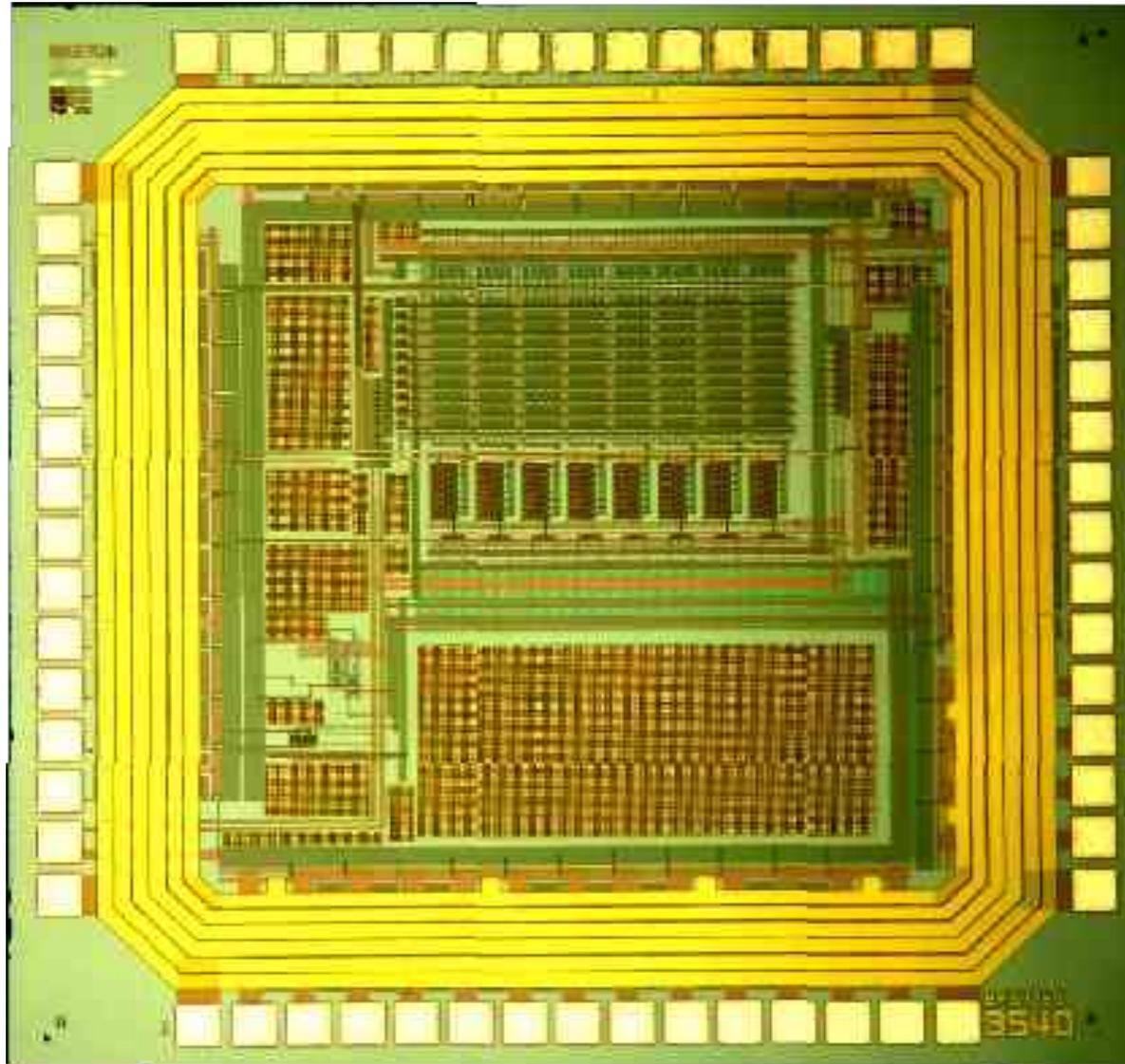


縦方向の寸法が非常に長い

neu_unitブロックのサイズ最適化



チップ写真



2.4mm角

試作チップとPLDの比較



左：試作チップ 13.5mm角
右：PLD(EPF10K30E) 27mm角

結論

- メモリーを用いたシナプス、および加算器を用いたニューロン細胞および神経回路網の集積回路化
- 外部からの重み・閾値等の変更の実現
- レイアウト設計による省スペース化(パッケージとしては約1/4のスペースに集積化)

今後の検討課題

- チップ内における制御信号の発生による回路制御の簡素化
- アナログ回路を組み込むことによる更なる省スペース化
- マイクロマシンへの実装