

10GHz を超えるクロックのキャビティによる伝達方法とその特性

小堀孝哉, 加藤初弘, 近藤英一, 秋津哲也

山梨大学 大学院 〒400-8511 甲府市武田 4-3-11

E-mail: kohori11@ccn.yamanashi.ac.jp, {kato, kondoh, akitsu}@yamanashi.ac.jp

あらまし 10GHz を超えるグローバルクロックを ULSI 内に分配する方法としてキャビティを用いる可能性について検討する. このキャビティは通常が多層配線技術あるいはその拡張技術を用いて ULSI の最上部に形成する. クロックはキャビティ内の定在波を用いて発生するので, スキューや EMI ノイズが原理的に発生しない. また, 特別な素子も必要としないので既存の ULSI システムとの親和性が高い. ただし, キャビティの厚さが薄くなるのでキャビティ壁でのジュール熱による損失を無視することができない. 本論文では損失の影響を考慮しつつキャビティを用いたクロック分配の可能性について議論する.

キーワード 高速クロック, キャビティ, 定在波, スーパーコネクト

Futures of microcavity to distribute high-frequency clock over than 10GHz

T. Kohori, H. Kato, E. Kondoh and T. Akitsu

University of Yamanashi, 4-3-11 kakeda, Kofu, 400-8511 Japan

E-mail: kohori11@ccn.yamanashi.ac.jp, {kato, kondoh, akitsu}@yamanashi.ac.jp

Abstract We have proposed a novel method of using a microcavity for high frequency clock in ULSI systems. This method can distribute global clock over than 10GHz without skew and EMI noise. The microcavity is formed by a usual metallization process and easy to realize compared with other emerging technology such as photo-electric circuit. However, it has thin thickness and affected by energy dissipation on cavity walls. Considering this energy dissipation, we discuss features of microcavity system.

Keyword high speed clock, cavity, standing wave, super connect

1. はじめに

集積回路 ULSI は高速化が進みそのクロック周波数が 10GHz を超えようとしている. また, 搭載されるシステムも大規模化しておりチップサイズは増大する傾向にある. この様なことからチップ全体にグローバルクロックを分配することが難しくなっている[1,2,3]. ボードにおける実装技術では ULSI 内部のローカルクロックとボード全体のグローバルクロックの周波数に大きな乖離があり, ボード全体の同期を取る新たな手法の必要性が議論されている. 例えば, ダイポールアンテナを用いたシステム[4,5]や光技術を応用したシステム[6]などがある. ULSI はその集積度の高さによりシステム性能の向上を実現してきた. ここにデバイスの高速化が今以上に促進されると, ボード内で起こっているローカルとグローバルクロックの周波数の乖離がチップ内でも問題となる. 我々は ULSI 内部にある IP(Intellectual Property)ブロック間の同期を保つため

にキャビティ内の定在波をクロック信号として応用する方法を提案している[7,8]. 50 μ m 程度の層間絶縁膜を形成することができるなら, 従来の多層配線技術を用いて ULSI の最上部にキャビティを形成することが可能である.

光技術を用いるクロック分配と比べると, キャビティを用いたシステムでは特別な素子を集積する必要がなくプロセスへの負担が少ない. 平行線路に定在波を形成してグローバルクロック分配を行うことも可能であるが[9,10], チップ全体に敷設された平行線路から EMI ノイズが発生する可能性がある. 一方, キャビティを用いると電磁波はその内部に閉じ込められるのでノイズの発生は原理的には無い. 更に, 平行線路では信号の減衰のために線路の途中に駆動バッファを多数挿入する必要があり, 素子バラツキがスキューの原因となっている. 一方, キャビティでは, 駆動回路を 1 つにすることが可能でスキューの抑制に有利である.

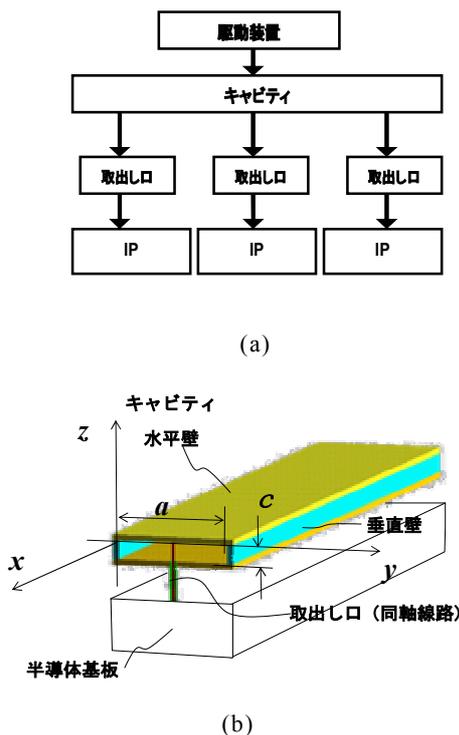


図 1 システムの概要. (a)ブロック図, (b)キャビティ形状を示す鳥瞰図.

2. システムの構成と構造

図 1 (a)はキャビティを搭載したシステムの構成を示すブロック図である. 多層配線技術を用いキャビティを ULSI チップの最上位に形成する. キャビティをチップ内の駆動回路あるいはチップ外部に設置した表面実装型のガンダイオードなどで駆動するとキャビティ内に定在波を形成することが出来る. 同軸線路などを介してキャビティから定在波の信号を取出し, ULSI 上の各 IP ブロックにクロックとして分配するものが提案するシステムである.

定在波はその振動数が場所に全く依存しないので, クロックの場所依存即ちスキューは原理的には皆無である. 一方, キャビティの共鳴曲線に鋭いピークを持たすことが出来るならクロック周波数の変動即ちジッターを高い精度で抑制することが可能である. このように定在波を利用すると理想的なグローバルクロックを形成出来る可能性がある.

図 1(b)はキャビティ部分の形状を鳥瞰図で現したものである. 水平方向のキャビティ壁は配線層を, また鉛直方向の側壁はスルーホール技術を流用して形成する. キャビティ内の電磁波の波長はスルーホールのサイズと比べると十分に長いので鉛直壁をスルーホールの柱の列で代用することも出来る. キャビティの典型的な寸法は, 幅が電磁波の波長で決まり $a=3.2\text{mm}$, 長

さはチップサイズ程度であり $b=12\text{mm}$ である. また, 厚さは厚いほどキャビティの共鳴曲線を鋭くできるので有利であるが, 多層配線技術で実現できる厚さが目安となる. ここでは, この厚さの下限である $c=5\mu\text{m}$ の場合を主に考えるが $50\mu\text{m}$ 以上とすることが好ましい.

信号を取り出す同軸線路の断面形状が図 1(b)に描かれているが, その内部がわかり易いように鉛直方向が引き伸ばしされている. 信号の取出口は, キャビティ内にある定在波の振幅が同程度になる位置に設置する. 信号強度から考えると定在波のピークの位置が好ましい. しかし, より多く設置を望むならピーク位置から波長の $1/8$ 程度ずらすと 1つの波当たり 4 個の取出口を設けることも可能である.

3. キャビティの特性

3.1. 共鳴特性

内法が $a \times b \times c$ である立方体のキャビティ内に生ずる TE モードの共鳴周波数 f は, エネルギー損失が無い場合

$$f = \frac{1}{2} \sqrt{\frac{1}{\epsilon\mu} \left(\frac{1}{a^2} + \frac{n^2}{b^2} \right)} \quad (1)$$

で与えられる. ここで, ϵ と μ は充填材の誘電率と透磁率である. モード指数を幅 a , 長さ b , 高さ c 方向に対してそれぞれ $1, n, 0$ とした. 高さ c 方向には一定の電界強度を持ち長さ b 方向には n 個の腹があるとした. 長さ b 方向に電磁波が進入出来る最小の周波数即ち遮断周波数は $f_{cr} = 1/2\epsilon\mu a$ と表される. 充填材として SiO_2 を仮定し $a=3.2\text{mm}$ とすると $f_{cr}=23.7\text{GHz}$ となる. 充填材や形状寸法により共鳴周波数の大きさを制御することが可能であるが, 実際にはキャビティ壁によるエネルギー損失を考慮する必要がある. 一般的にエネルギー損失を引き起こす原因は, 充填材での誘電損失とキャビティ壁におけるジュール熱の発生である. 今, 薄いキャビティを考えているので, エネルギー損失の第一原因はジュール熱の発生にある.

キャビティの材質として Cu を用いた場合の共鳴状態を, エネルギー損失も考慮して有限要素法で解析した. 図 2 はキャビティ内の磁界分布を示すベクトル図であり, 駆動装置は右端の中央に設置されている. 図 3 は一種の共鳴曲線であり, キャビティの右端に入力した磁界強度 ϕ_{right} と左端に現れる強度 ϕ_{left} の比 $\phi_{\text{left}}/\phi_{\text{right}}$ が駆動周波数 f にどのように依存するかを示している. $\phi_{\text{left}}/\phi_{\text{right}}$ が大きいほど強い磁界がキャビテ

ィ内部に広く分布していることを示している．なお入力端である右端は磁界強度が強いのでベクトル図を一部省略してある．また，両図ともキャビティの寸法は $3.2\text{mm} \times 12\text{mm} \times 5\mu\text{m}$ であり，充填材として SiO_2 を仮定した．

駆動周波数が共鳴ピークから外れた $f=28.4\text{GHz}$ の場合，キャビティ内の電磁波は左端まで到達していないことが図2から分かる．他方， $f=31\text{GHz}$ の場合は図3でモード指数が $n=4$ のピークに対応しておりキャビティ内に電磁波が広く分布している．この $n=4$ の共鳴周波数を式(1)から求めると 34.7GHz であり有限要素法で得た周波数との間に乖離がある．その理由はエネルギー損失により共鳴ピークが低周波側に変位することにある．図3において $n=1$ に対応する共鳴ピークがほとんど見えないが，これは共鳴ピークが遮断周波数 $f_{\text{cr}}=23.7\text{GHz}$ 以下に変位したことが原因である．

平行線路を用いたクロックシステムでは信号の減衰が無視できず駆動バッファを適当な間隔で設置しなければならない．構成素子数の増加はスキューの原因となる．一方，キャビティを用いると駆動素子数を一つにすることが可能である．従って，より高い精度でスキューを抑え込むことが可能である．

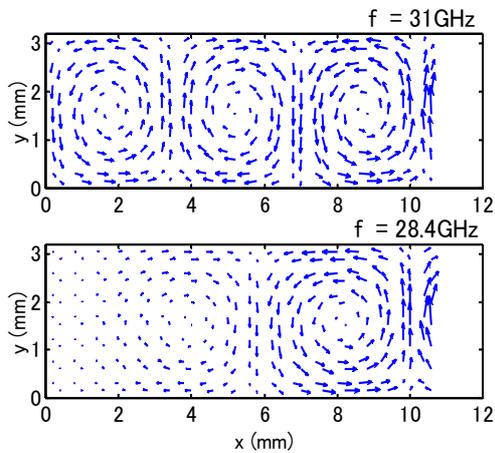


図2 損失を考慮したキャビティ内の磁界分布

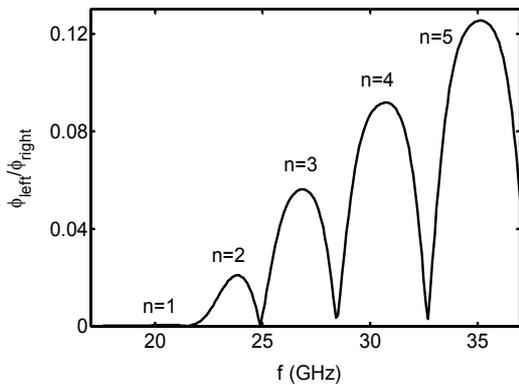


図3 損失を考慮したキャビティの共鳴曲線．

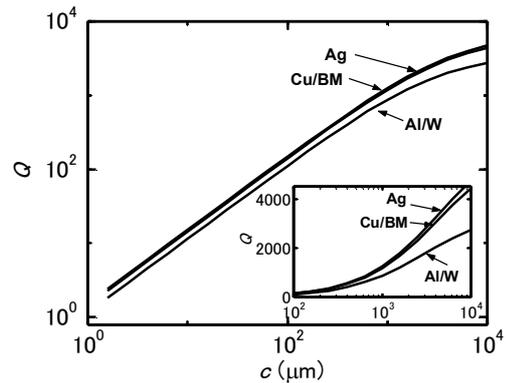


図4. Q 値の厚さ c 依存．曲線に付けられたラベルはキャビティの材質を示す． $a \times b = 3.2\text{mm} \times 12\text{mm}$ ．

3.2. Q 値の厚さ依存

キャビティ壁に流れる渦電流は表皮効果のためにその表面に集中する傾向がある．一方，ULSI配線は抵抗が大きな金属をバリアメタルとして使用している．従って，バリアメタルによりエネルギー損失が増加しキャビティの共鳴状態を劣化させる可能性がある．ここでは，配線材料やバリアメタルが共鳴曲線に与える影響を共鳴ピークの鋭さを表す Q 値を用いて検討する．

バリアメタルの厚さを d その伝導度を σ_B とし配線層本体の伝導度を σ とすると，表皮効果を考慮した実行的な面抵抗率 R_{eff} を

$$R_{\text{eff}} = \frac{\cosh(d/\delta_B) + \sqrt{\sigma/\sigma_B} \sinh(d/\delta_B)}{\{\sinh(d/\delta_B) + \sqrt{\sigma/\sigma_B} \cosh(d/\delta_B)\} \sigma_B \delta_B + \sigma \delta} \quad (2)$$

と近似できる．ここに， $\delta_B = 1/(\pi f \mu \sigma_B)^{1/2}$ ， $\delta = 1/(\pi f \mu \sigma)^{1/2}$ である．式(2)の導出に際して表面での電流分布が持つ深さ方向の振動を無視して指数関数的な減衰のみを考慮するとともに配線層本体の厚さは表皮の厚さと比較して十分に大いと仮定した．共鳴曲線が持つピークの鋭さは Q 値によって評価される．キャビティ内に蓄えられる電磁エネルギーを U ，ジュール熱による仕事率を P とすると， Q 値は $Q = Uf/P$ で計算できる．この定義式から

$$Q = \frac{4 f \mu a b c (b^2 + a^2 n^2)}{(R_{\text{HU}} + R_{\text{HL}})(b^2 + na^2)ba + 2R_V(b^3 + na^3)c} \quad (3)$$

を得る．ここに， R_{HU} ， R_{HL} および R_V はそれぞれ水平な上壁，下壁および鉛直壁に対する表面抵抗率で式(2)を用いて計算する．

図4に式(3)から求めた Q 値の厚さ c に対する依存性を示す。幅 a および長さ b の値は図2と図3を計算するとき用いた値と同じである。図には異なる材質を仮定して求めた3つの曲線が示されている。ラベルAgを付けた曲線は抵抗値が小さいのでキャビティ材として使用される銀を用いた場合であり、ラベルCu/BMは銅配線を仮定してバリアメタルとして厚さ20nmのTaを使用した場合である。AgとCuの抵抗率の差は10%程度であるので対数グラフで比較すると両者の差はほとんど区別できない。縦軸を算術目盛りとしてある挿入図で両者の差を比較すると両者の差は10%以内である。バリアメタルは抵抗が大きいが20nmと薄いのでその影響は少ないことが分かる。

Al/Wは水平壁にアルミニウムAlを垂直壁にタンダステンWを用いた場合で、やはりバリアメタルとして厚さ20nmのTaを使用しているとした。この材質による配線技術は古い世代のものであるが確立された技術でありコスト的に有利である。ただし、抵抗が大きなWの埋め込みをスルーホールとして使用するのでその抵抗による影響が懸念される。しかし、面積を比べると水平壁のAlが垂直壁となるWより広いので、キャビティの厚さが $c < 1\text{mm}$ ではWの影響はほとんどない。

クロック周波数の変動即ちジッターを抑制するためには、 Q 値の値が大きく共鳴ピークが鋭くことが好ましい。ジッターを直接的に決定するのはキャビティを駆動する発振回路の安定性であり、共鳴曲線が鋭いほどその安定性を改善できる。発振回路の周波数の変動がキャビティの共鳴ピークの半値幅程度の1/10であるとして、ジッターを周波数変動 Δf と共鳴周波数 f の比で見積もった結果が図5である。このとき、発振回路自体は十分な応答速度を持っていると仮定しキャビティの振動を減衰振動子の運動に写像してモデル化した。得られた結果は

$$\frac{\Delta f}{f} = \frac{[0.4\{(4\pi Q)^2 - 1\}]^{1/4}}{4\pi Q} \quad (4)$$

である。この関係式と図4に示した Q 値から、ジッター $\Delta f/f$ のキャビティ厚 c に対する依存性を示したのが図5である。

通常の配線技術による加工を前提とすると、厚い c を実現することは難しい。従って、なるべく薄い厚さでキャビティの機能が実現できるとよい。この厚さの下限は $5\mu\text{m}$ 程度である。このとき Q 値は8程度で図3に示した様に共鳴曲線ピークも十分に発達する。また、 $\Delta f/f=0.08$ 程度である。勿論、より大きな c の値が実現し得ることが望ましく、 $50\mu\text{m}$ 程度に出来ればクロック分配を行うためには十分である。この厚さを実現す

るためには、厚い層間絶縁膜を形成する必要があるが従来技術の延長として可能な範囲である。また、 $100\mu\text{m}$ 程度の配線技術は技術的に空白な領域であるがシステムLSIの性能を向上させ得る可能性があり、スーパーコネクタ技術としてその重要性が指摘されている[2]。技術的な成果[11]も達成されているので、キャビティの形成技術として期待できる技術である。このとき、 $\Delta f/f < 0.02$ とでき更に高精度のクロック制御が可能である。

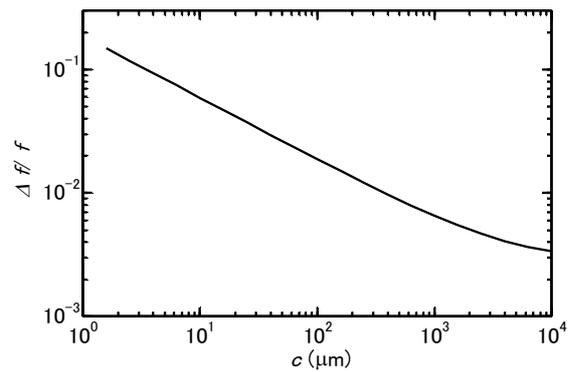


図5. 周波数変動量の厚さ依存. キャビティ材としてCu/BMを用い $a \times b = 3.2\text{mm} \times 12\text{mm}$ とした場合。

3.3. 信号取出し口の特性

キャビティ内の定在波による信号は、波の腹の付近に設置された同軸線路により取り出しIPブロックに伝達する。この同軸線路の一端はIP内にある回路素子に接続するのでその直径は $1\mu\text{m}$ 程度である。また、同軸線路の長さは層間絶縁膜の暑さ程度であり長くても $10\mu\text{m}$ ほどである。このように信号取出し口はその寸法が小さなことから集中定数回路としての取り扱いが出来ない。そこで、有限要素法を利用して取出し口の磁界分布を解析した結果が図6である。

同軸線路の寸法として内径 $0.5\mu\text{m}$ 、外形 $1.5\mu\text{m}$ 、長さ $10\mu\text{m}$ を選び、中心軸に沿って z 軸を鉛直下向きに立てた。取出し口の断面形状が図6の水平な zr -面に描かれている。また、縦軸 H_θ は磁界の偏角成分である。同軸線路の一端はキャビティ本体に接続されており、その上下のキャビティ壁に電圧 V_{in} が入力されているとする。また、他端は容量 $C_L=30\text{fF}$ が接続されている。この容量値はMOSトランジスタのゲート容量程度の値である。出力電圧として容量 C_L に現れる電圧 V_{out} を用いて利得 V_{out}/V_{in} を求めると、絶対値は0.3位相角は 1.8° であった。負荷部分の最適化を進めると利得を改善することも可能であり、同軸線路が信号の取出し装置として十分に機能することが確認できた。

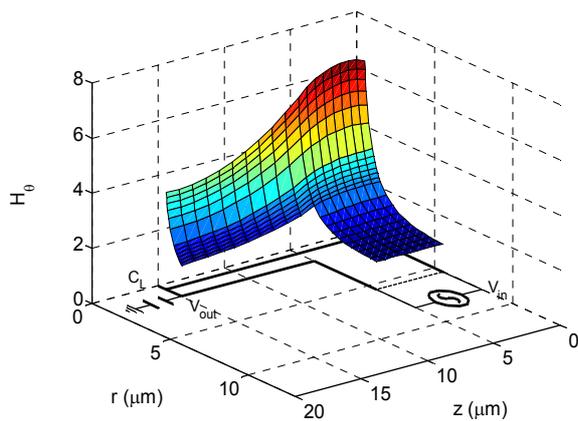


図 6. 信号取出し口における磁界分布.

4. まとめ

10GHz を超えるグローバルクロックを ULSI に分配する方法として、多層配線技術を用いて形成したキャビティを用いる可能性について検討した。このキャビティはその厚さが薄いためにキャビティ壁におけるジュール熱の影響を強く受けるが、安定した共鳴特性と伝達特性を持つ。ジッターをクロック周波数の 1/10 以下に抑え込むためには、キャビティの厚さを $5\mu\text{m}$ 以下には出来ない。十分なキャビティ特性を確保するためには、 $50\mu\text{m}$ 程度の厚さを確保する必要がある。厚い層間絶縁膜を形成する必要がある。将来的に $100\mu\text{m}$ 程度の配線技術であるスーパーコネクタ技術をキャビティの形成に応用できるなら、更に高精度のクロック制御も可能である。

文 献

[1] R. Chang, C. Yue and S. Wong, "Near Speed-of-Light on-chip electrical interconnect," *Symposium on VLSI Circuits Digest of Technical Papers*, pp. 18-21, Honolulu Hawaii, June 2002; *IEEE Journal of Solid State Circuits*, v.38, n.5, May 2002.

[2] T. Sakurai, "System-on-a-chip vs. system-in-a-package: design and interconnection issues" *Proc. of Advanced Metallization Conference 2003* (MRS Warrendale 2004), pp.3-10.

[3] H. Shinoki, H. Ito, Y. Yokoyama and K. Masu, "Transition line interconnect structure in Si ULSI", *Digest of Advanced Metallization Conference*, pp.78-79, Tokyo Oct. 2002, .

[4] K. Kim, W. Bomstad and K. K. O, "A plane wave model approach to understanding propagation in an intra-chip communication system" *Digest of International Symposium of IEEE Antenna & Propagation Society* vo.2, pp.166-169, Boston July 2001.

[5] S. Watanabe, A. B. M. H. Rashid and T. Kikkawa, "Influence of Si substrate ground and antenna transmission gain for on-chip wireless interconnect" *Digest of Advanced Metallization Conference*, pp.94-95, Tokyo Oct. 2002.

[6] P. Kapur and K. C. Sarawaswat, "Power dissipation in optical clock distribution network for high performance ICs", *Proceedings of International Interconnect Technology Conference*, pp.151-153, 2002.

[7] H. Kato, E. Kondoh, T. Akitsu, T. Kobori and H. Morishita, "Noise free and jitter-less clock distribution method for high-frequency system using microcavity", *Proc. of Advanced Metallization Conference 2003* (MRS Warrendale 2004), pp.65-68.

[8] T. Kobori, H. Kato, E. Kondoh, T. Akitsu, "Features of microcavity to distribute high-frequency clock over than 10GHz", *Digest of Advanced Metallization Conference*, pp.96-97, Tokyo Sept. 2004. .

[9] F. O'Mahony, C. Yue and S. Wong, "10GHz Clock Distribution Using Coupled Standing-Wave Oscillators", *International Solid State Circuits Conference Digest of Technical Papers*, pp. 428-429, San Francisco, CA February 2003; *IEEE Journal of Solid State Circuits*, Vol. 38, pp. 1813-1820, Nov 2003.

[10] D. Ham and W. Andress, "A circular standing wave oscillator," *IEEE International Solid-State Circuits Conference*, pp.380-381, Feb. 2004.

[11] K. Kikuchi, M. Takamiya, Y. Kudoh, K. Soejima, H. Honda, M. Mizuno and S. Yamamichi, "A package-process-oriented multilevel $5\mu\text{m}$ -thick Cu wiring technology with pulse periodic reverse electroplating and photosensitive resin" *Proc. of International Interconnect Technology Conference*, pp.189-191, June 2003.