

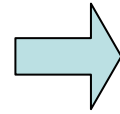
アナログ方式の特性バラツキを考慮した神経回路網の集積回路化

G02MM003 上野 響一

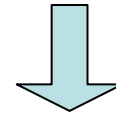
研究背景

増加し続ける情報量

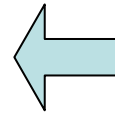
- ・ソフトウェアの多様化
- ・マルチタスク



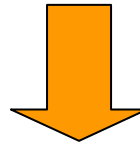
高速化の要求



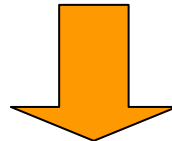
微細加工の発展



高速演算処理



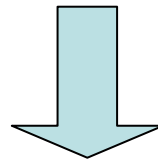
微細加工の限界



新たなデバイスの研究

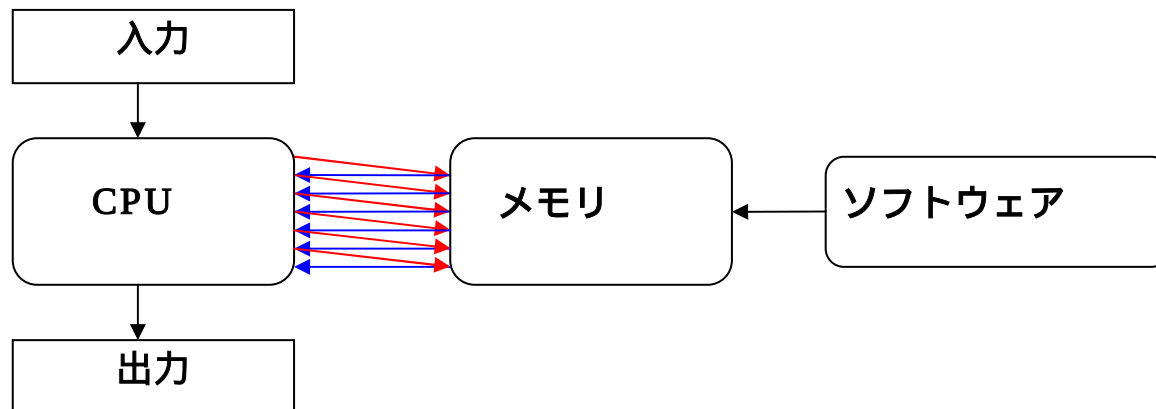
新たなデバイスの研究

- ・超並列コンピュータ
- ・MEMS (Micro Electro Mechanical Systems)
- ・ニューロコンピュータ
- ・ファジーコンピュータ
- ・
- ・
- ・

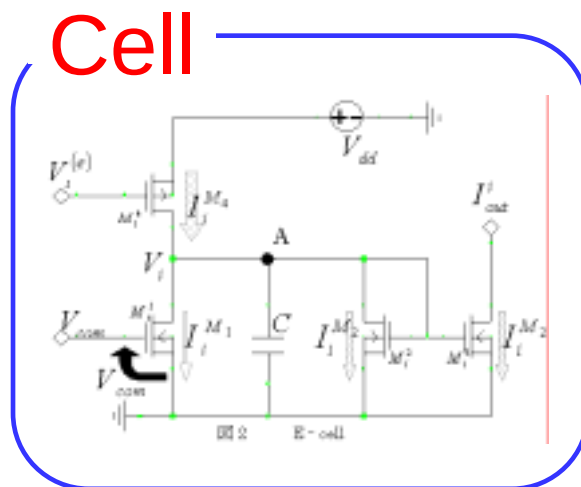
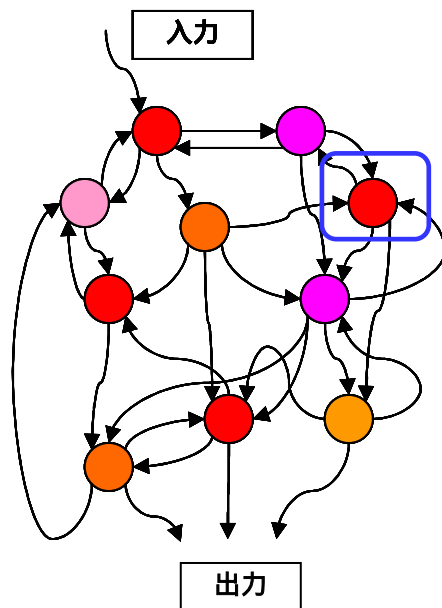


神経回路網の集積回路化

従来の信号処理

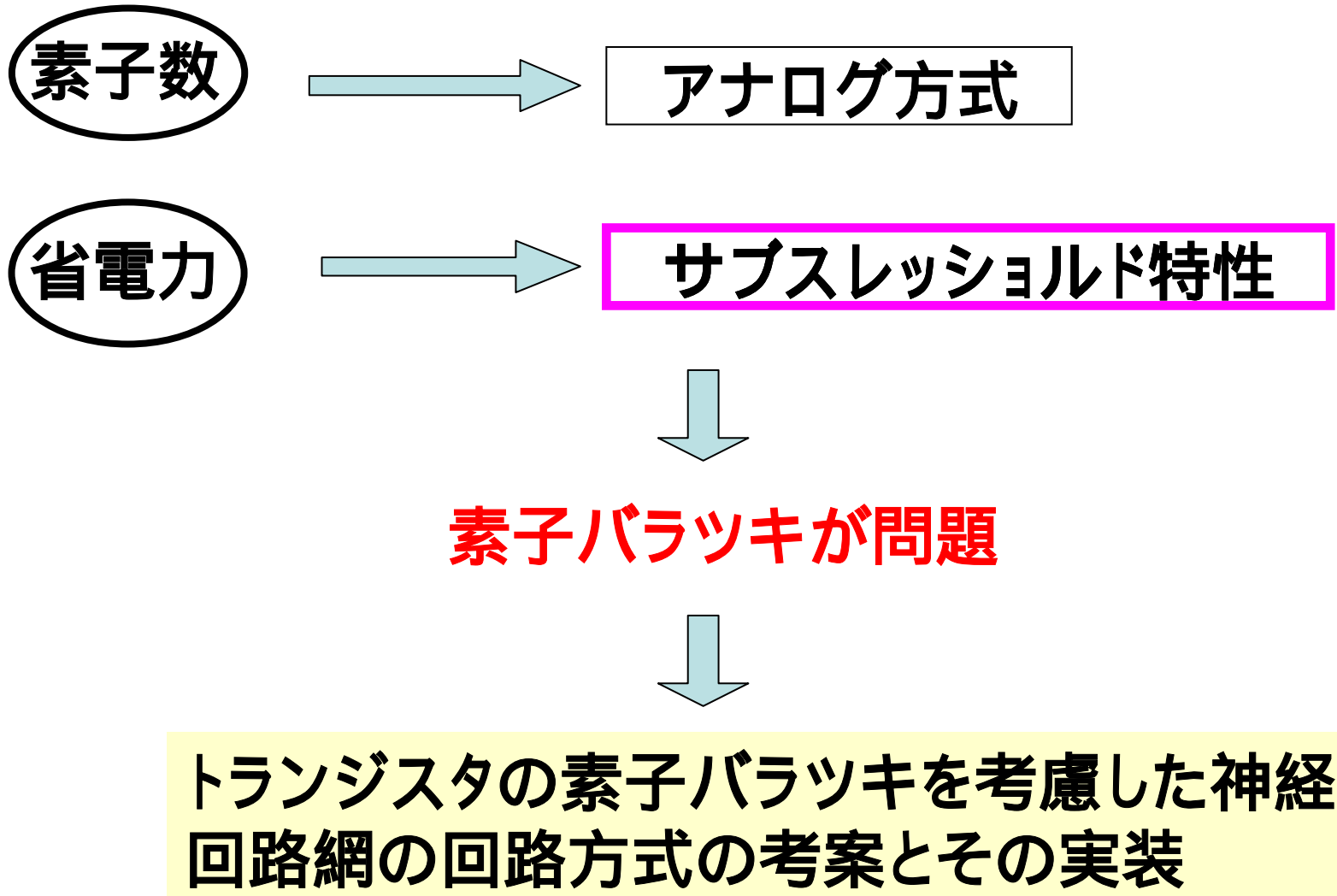


神経回路網のメリット



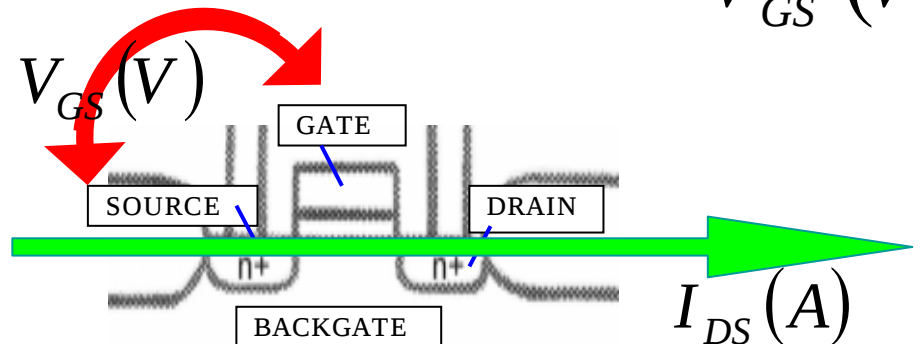
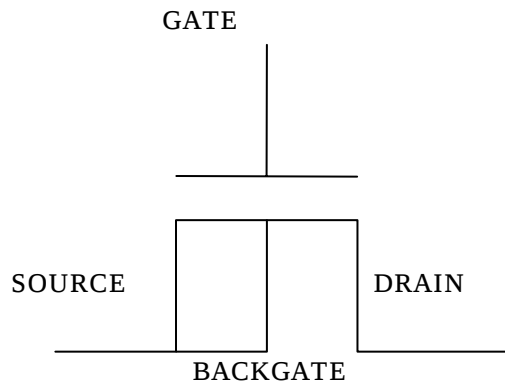
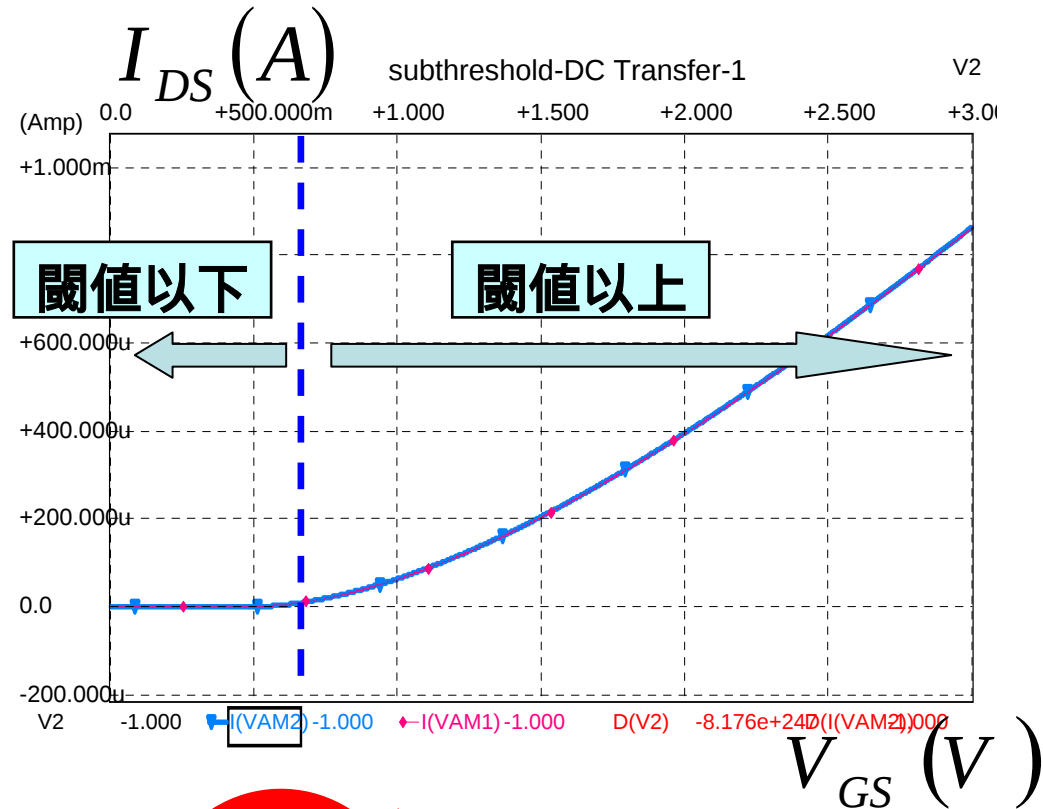
独立した制御系を
小さなスペースで
実現できる

本研究の目的



サブスレッショルド特性

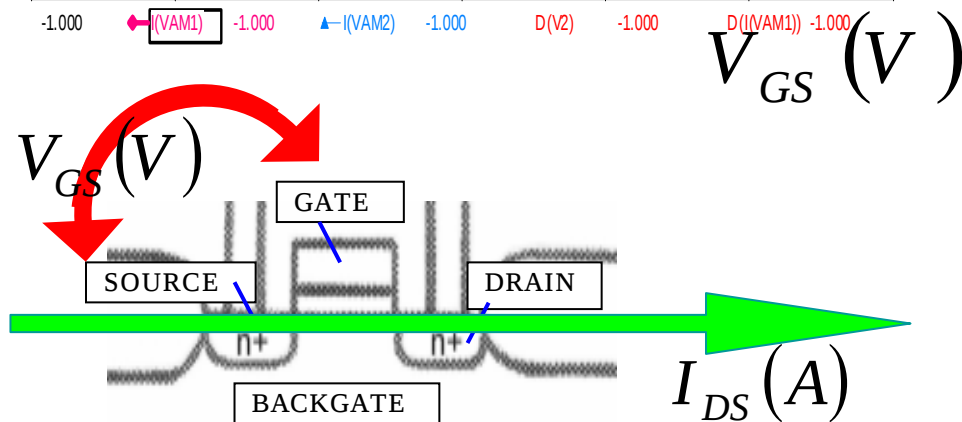
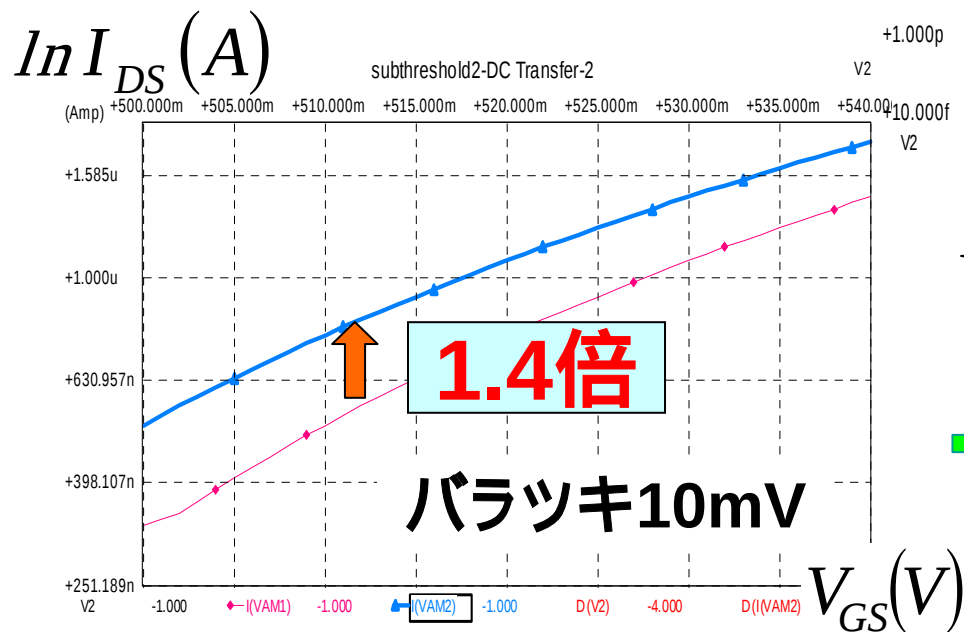
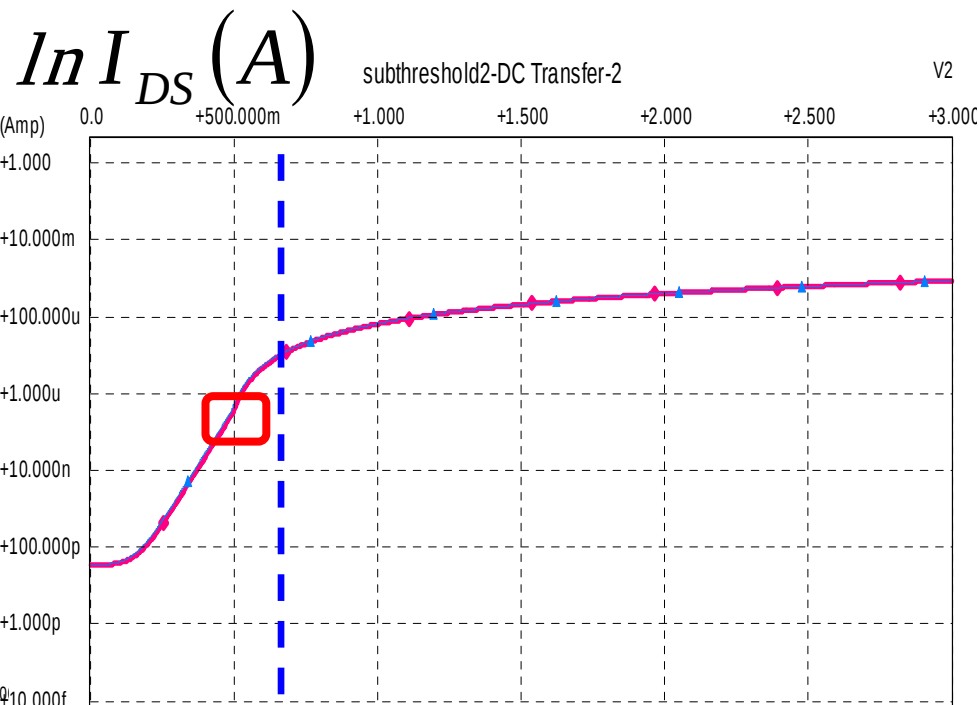
ゲートソース間電圧が
閾値以下である時の
電流電圧特性



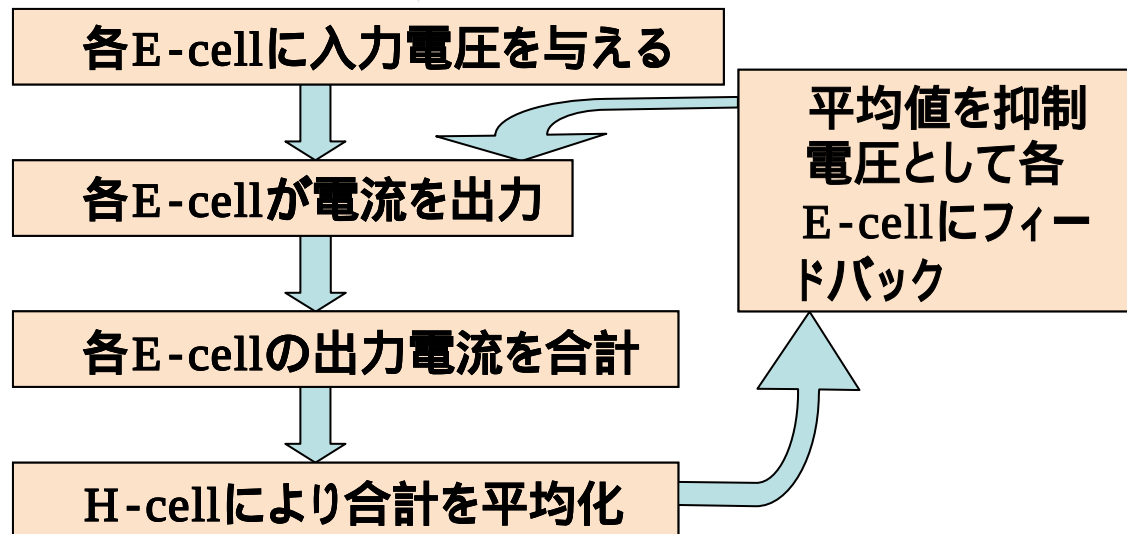
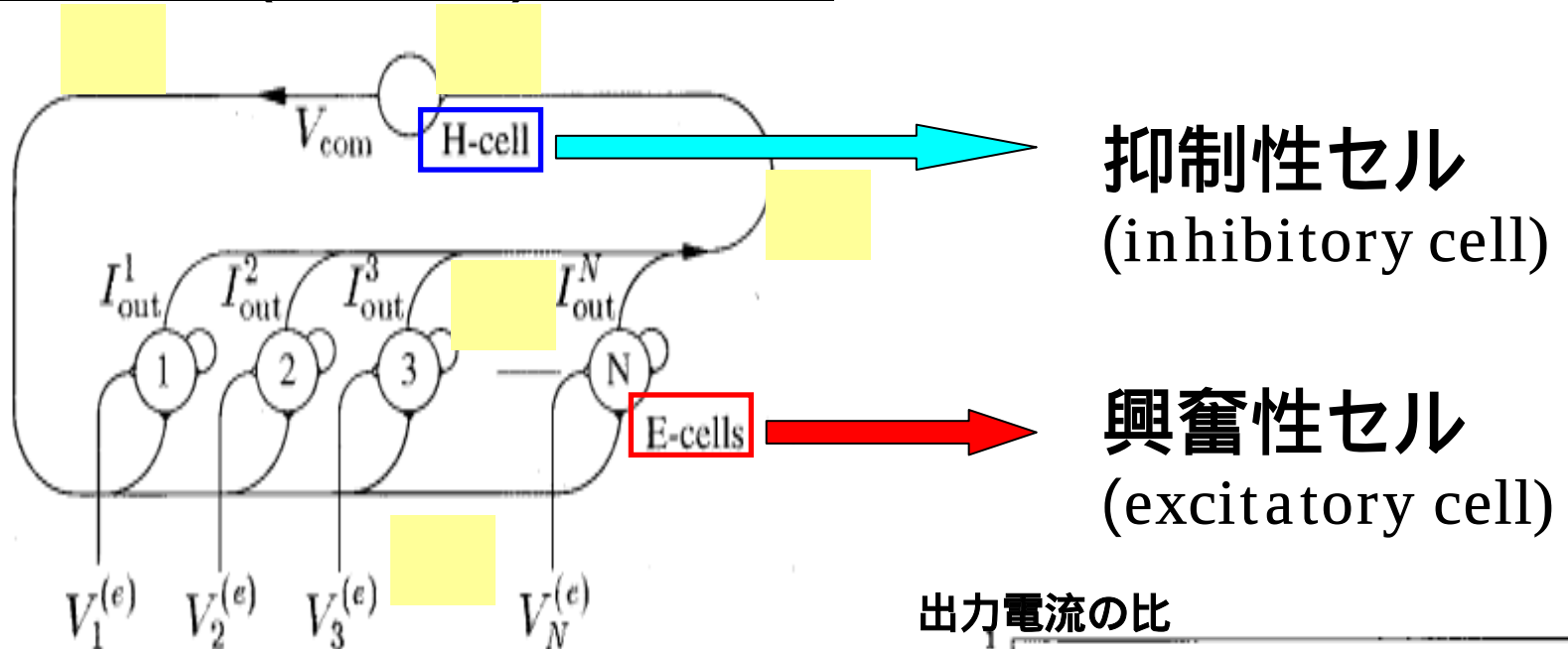
サブスレッショルド特性

ゲートソース間電圧が
閾値以下である時の
電流電圧特性

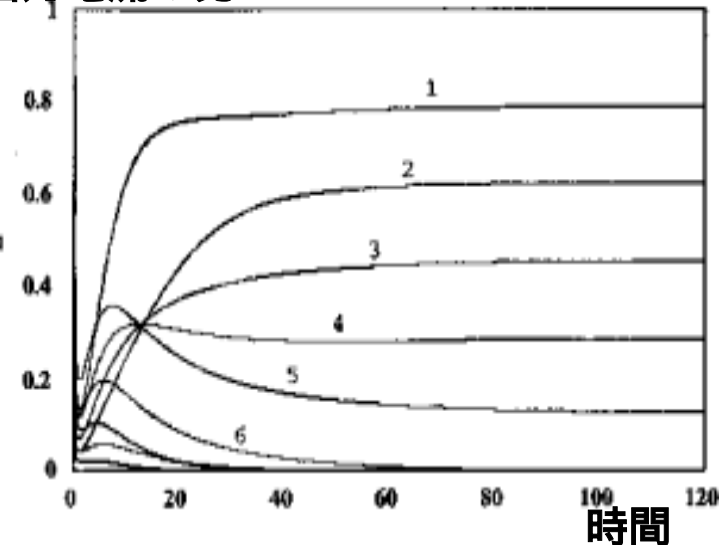
$$I = I_0 e^{\kappa(V_g - V_{bg})}$$



生物機能 (WSA) の概念

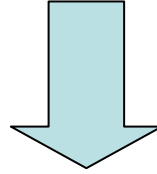


出力電流の比

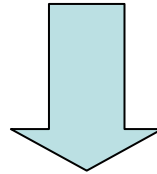


従来方式の問題点

H-cellの構成素子数が大



サブスレッショルド領域下
素子バラツキの影響大



バラツキにより回路の信頼性が
失われる可能性がある

手法

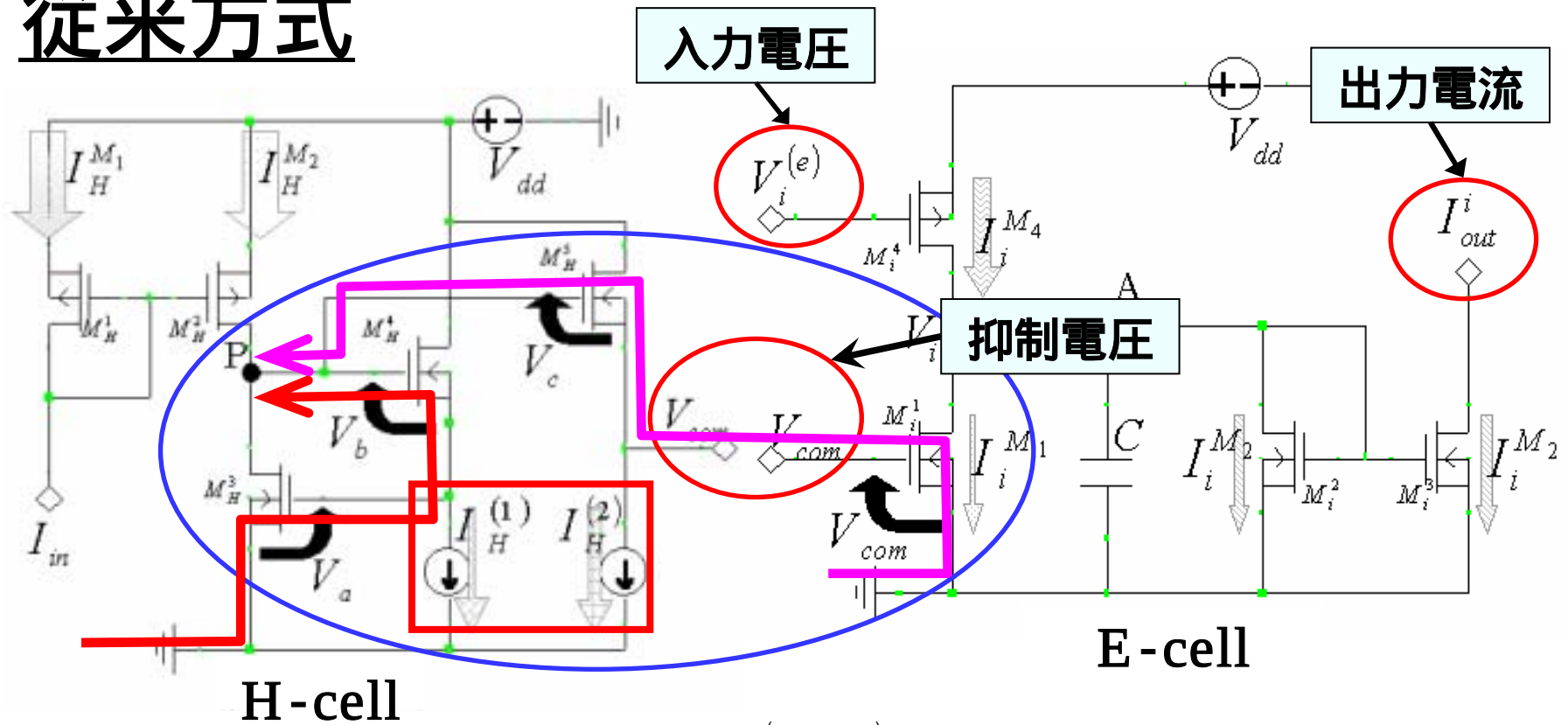
回路の素子数を減少

トランスリニア原理を用いた部分に変わる代替手法の考案

バラツキによる影響が大きい部分の構成を変更

実装を想定したレイアウトの作製とその検証

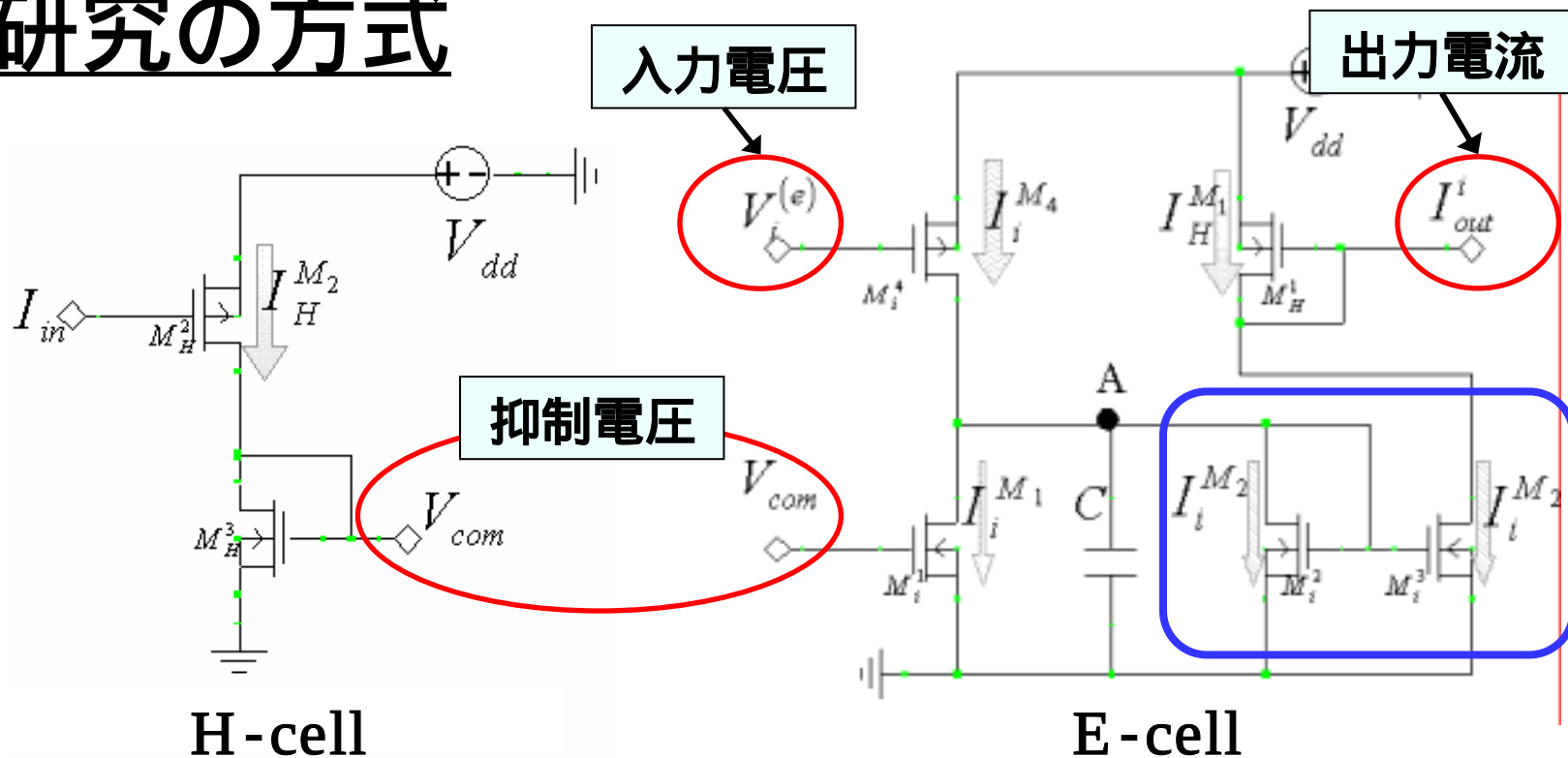
従来方式



$$V_a + V_b = V_c + V_{com} \xrightarrow{I = I_0 e^{\kappa(V_g - V_{bg})}} I_H^{M_2} \cdot I_H^{(1)} = I_H^{(2)} \cdot I_i^{M_1}$$

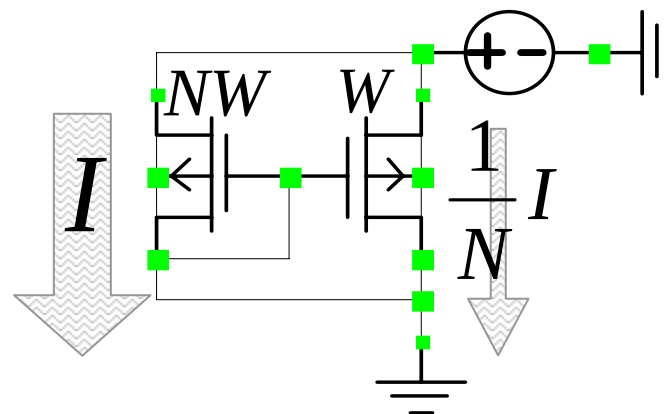
$$\therefore I_i^{M_1} = \frac{I_H^{(1)}}{I_H^{(2)}} I_H^{M_2}$$

本研究の方式

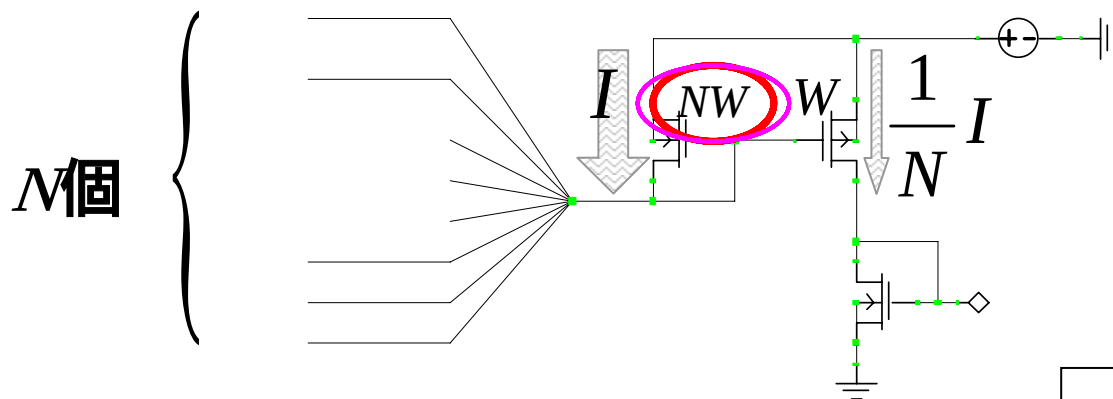


カレントミラーを用いて
平均化を実現

W : ゲート幅



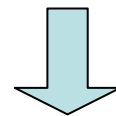
本研究の方式



E-cell

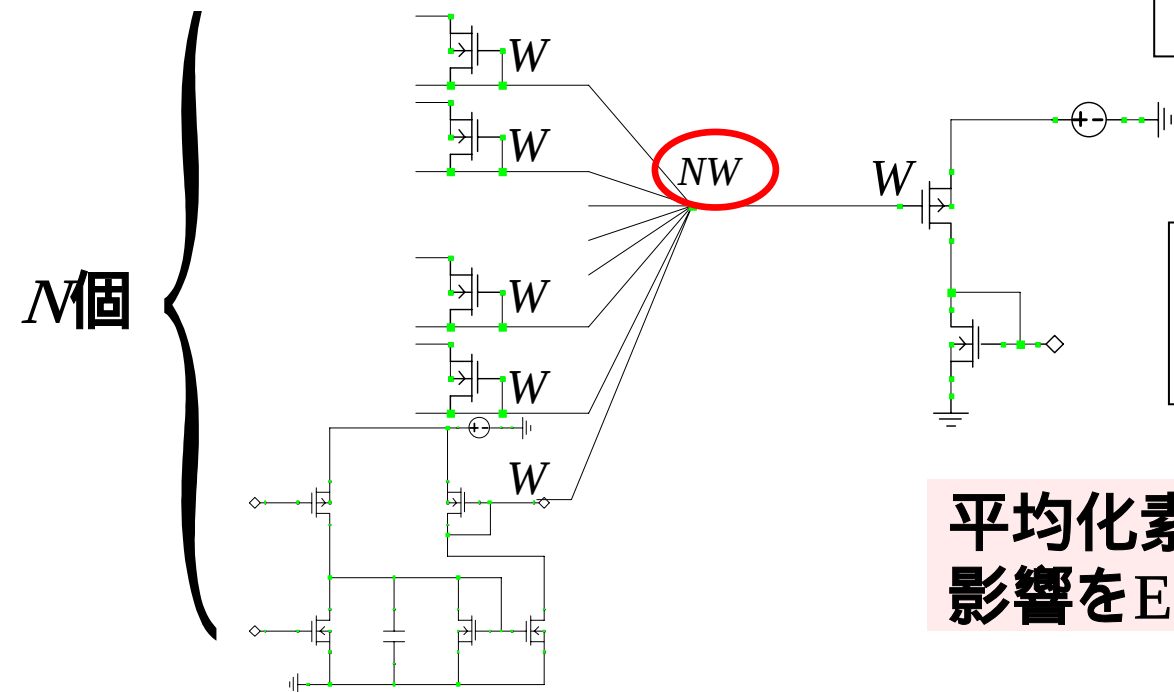
H-cell

平均化素子をゲート幅 W として各E-cellに移動

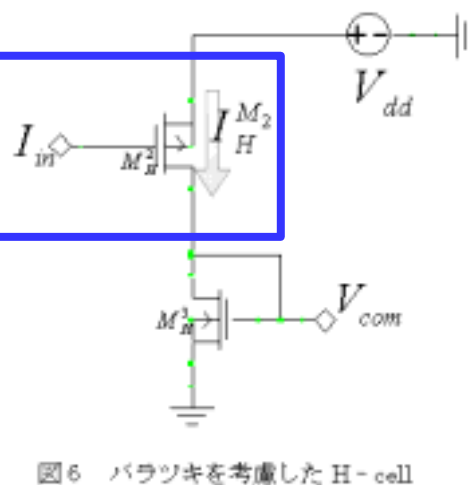
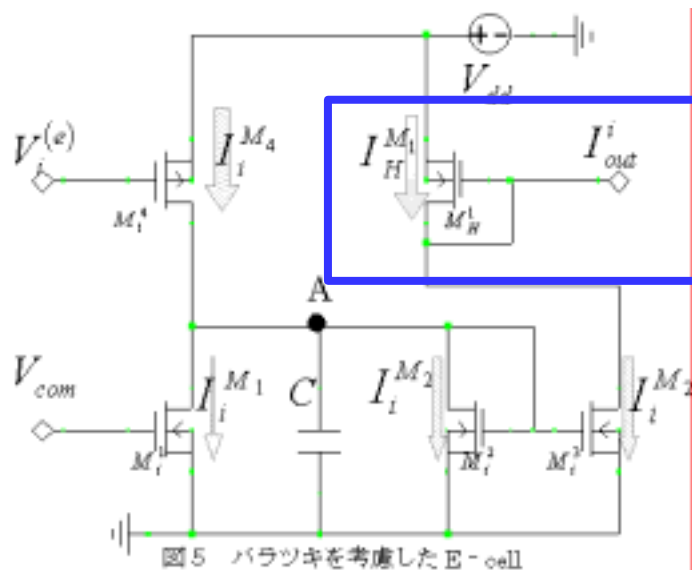
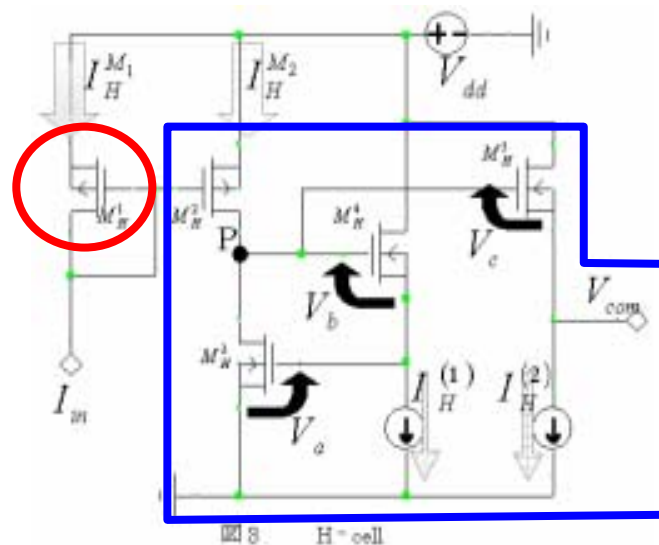
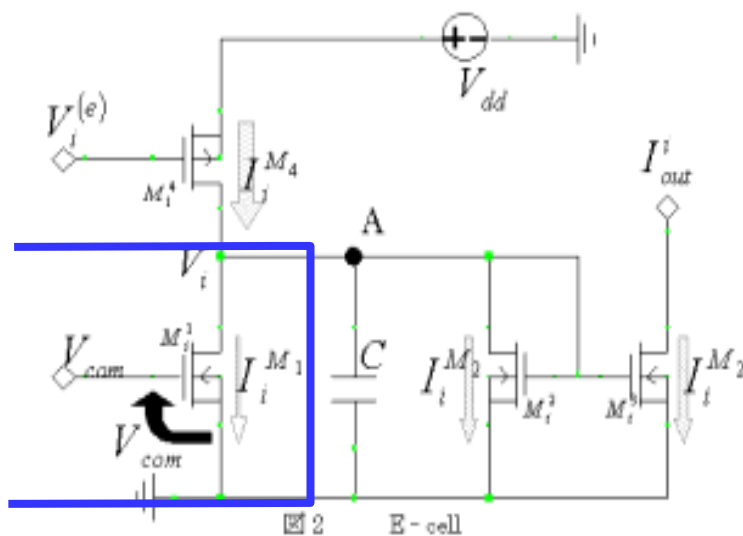


出力を集めることにより平均化を実現

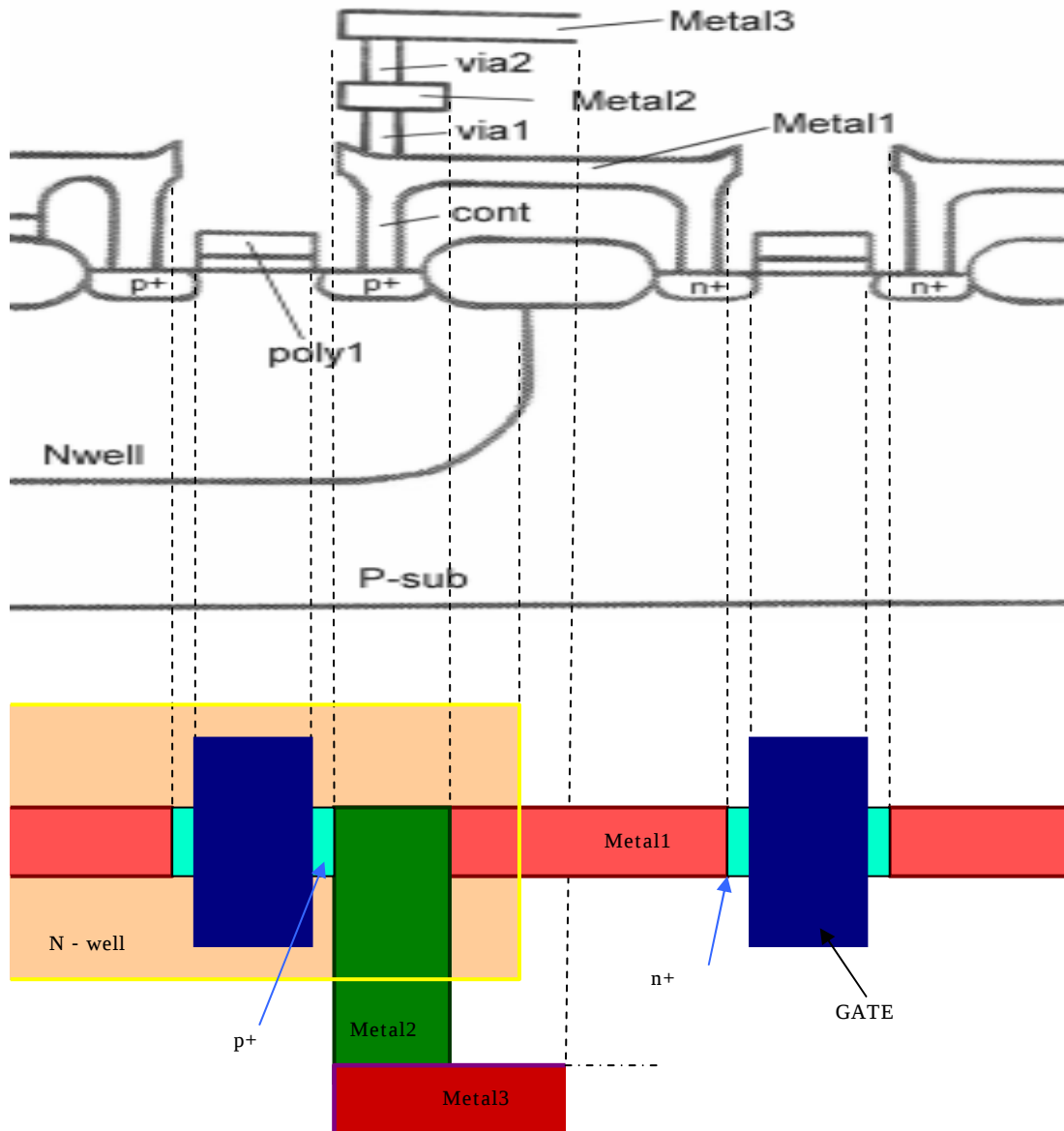
平均化素子が受けるバラツキの影響をE-cellに分散



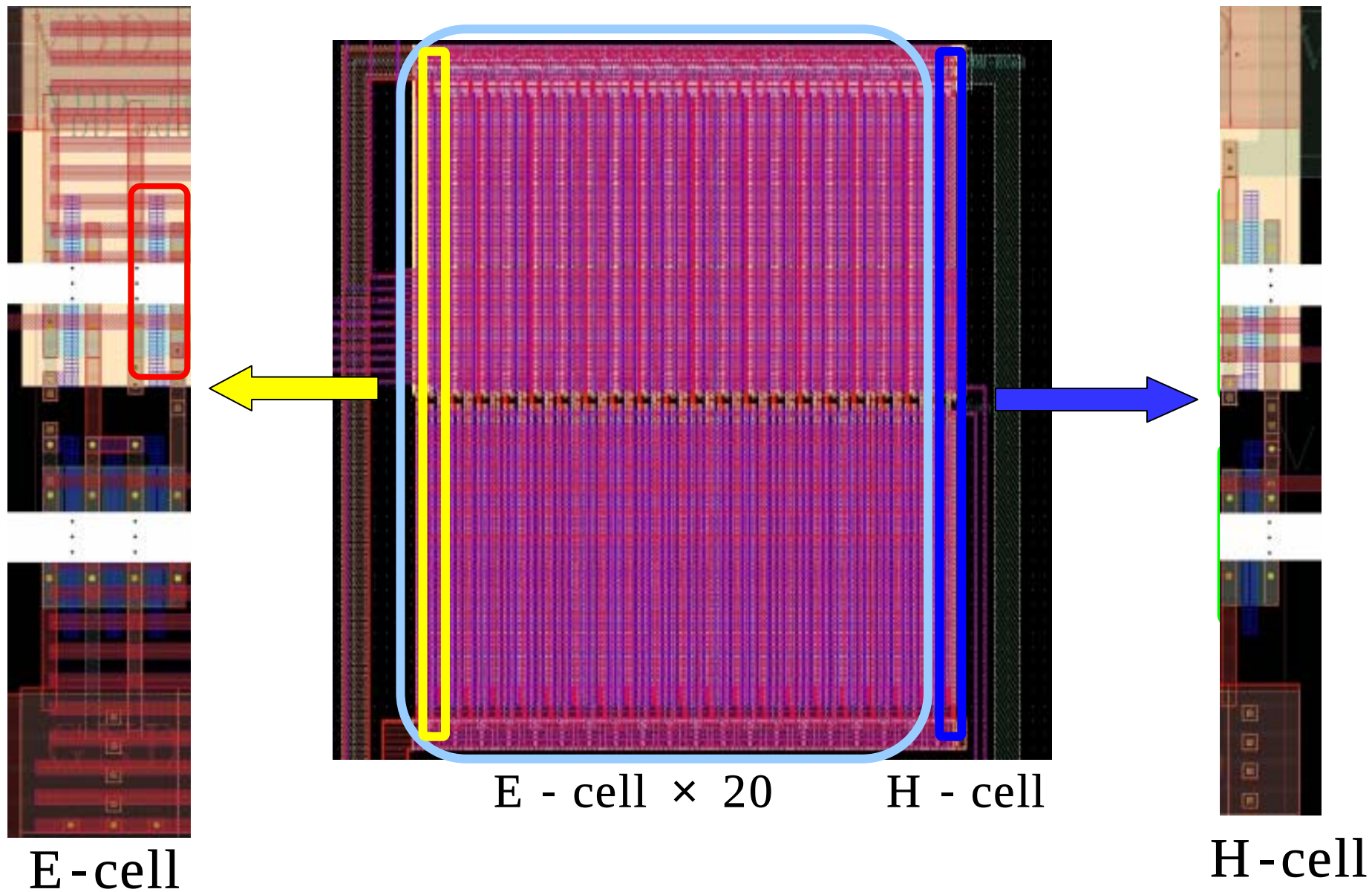
回路比較



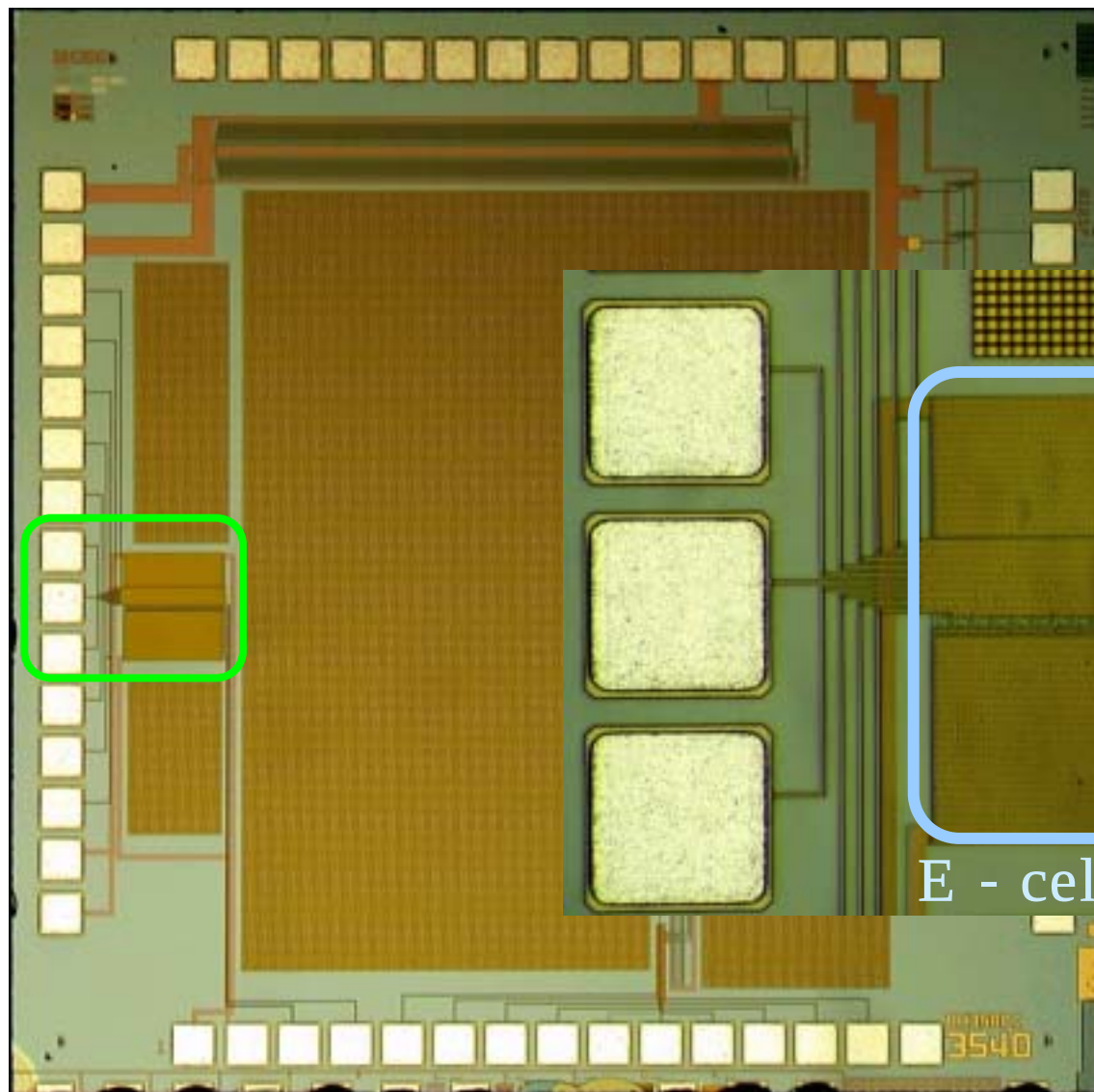
レイアウト設計



レイアウト設計



作製チップ



E - cell部 H - cell部

結論

- ・トランスリニア原理を用いずに少素子で信号の平均化を行うことができる代替手法の考案
- ・平均化を行うH-cellの素子の一つをE-cellに組み込み、空間的に分散することによって、素子特性の変動に強い回路の考案
- ・集積回路試作のため作製したレイアウトにおける、本研究で設計した回路の高集積化時の有効性の確認